

⑩日本国特許庁

⑪特許出願公開

公開特許公報

昭53—84632

⑨Int. Cl. ³	識別記号	⑫日本分類	庁内整理番号	⑬公開 昭和53年(1978)7月26日
G 06 F 13.00		97(7) C 0	6453-56	
G 06 F 3 00		97(7) C 03	6453-56	発明の数 1
G 11 C 9 06		97(7) C 02	6453-56	審査請求 未請求
		97(7) D 0	6711-56	

(全 41 頁)

⑧出力カッシー・システム

⑨特 願 昭52-154618

⑩出 願 昭52(1977)12月23日

優先権主張 ⑪1976年12月30日⑫アメリカ国
(US)⑬755871

⑭発 明 者 ジエイム・コール
アメリカ合衆国アリゾナ州8530
6グレンデイル・ウエスト・ウ
オルタン4723

同 コーレンス・ダブリュー・シエ

ルバーグ

アメリカ合衆国アリゾナ州8502

1フエニツクス・ウニスト・キ
ヤミノ・エイスキア4117

⑮出 願 人 ハネイウエル・インフオメーシ
ョン・システムズ・インコーポ
レーテッド

アメリカ合衆国マサチューセツ
ツ州02154ウオルサム・スミス
・ストリート200

⑯代 理 人 弁理士 湯浅恭三 外1名

要 約

1. [発明の名称]

出力カッシー・システム

2. [特許請求の範囲]

① 複数の入出力装置を含む入出力操作の制
御のための入力システムにおいて、

複数のポートを有するシステム・インターフ
ェース装置と、

前記複数のポートの各々に接続された複数の
モジュールとを設け、該モジュールは少くとも
1個のメモリー・モジュールと複数の指令モジ
ュールを含み、前記指令モジュールの各々は、

メモリー指令を生成する指令生成装置を有し、
前記メモリー指令の第1のタイプの各々は前記メ
モリー・モジュールから前記情報をアクセスする
ための第1と第2のカテゴリーを表示するよう形
成され、少くとも1つの予め定められたビット
を有し、

前記1個のメモリー・モジュールは、
前記ポートの1つに作動的に接続されたカッシー

・ストアを有し、該カッシー・ストアは前記メモ
リー指令に応じて前記メモリー・モジュール
から前記取出された情報のブロックを記憶するた
めのものであり、

前記インターフェース・ポートの前記1個に作
動的に接続され、情報信号を記憶するための補助
記憶装置と、

前記カッシー・ストアと前記補助記憶装置に接
続され、前記カッシー・ストアと補助記憶装置の
操作を制御するための制御回路装置とを有し、該
制御回路装置は、

前記複数の指令モジュールから前記メモリー
指令を受取るために前記1個のポートに接続され
た入力レジスタ装置と、

前記指令を記憶するために前記入力レジスタ装
置に接続された指令履歴回路を有し、前記履歴回
路は、前記第1のタイプのメモリー指令の各々に
応答して、前記カッシー・ストアに記憶される前
記情報の存在しない場合に前記各々の第1のタイ
プのメモリー指令により指定される情報からの既

たし、その前記補助記憶装置を便宜手段とするための制御信号を生成し、かつ前記の予め定められたビットが前記第1のカテゴリーを表示するよう符号化される際のみ、前記カッシュ・ストアに前記補助記憶装置から読出される前記情報をもとの形式に書き込ませる制御信号を生成する事を特徴とする入出力システム。

2. 前記第1のタイプのメモリー指令の各々が指令成分、カテゴリー成分およびアドレス成分を含むように符号化され、前記指令成分は読出し動作を指定するよう符号化され、前記アドレス成分は前記読出しのアドレスを指定するよう符号化され、前記カテゴリー成分は前記カッシュ・ストアが前記読出し動作の間バイパスされるべき時点を表示するよう符号化された前記の予め定められたビットを含む前記請求の範囲1項記載のシステム。

3. 前記の予め定められたビットは2進数値として符号化され、前記制御回路装置は、前記カッシュ・ストアに前記情報をその内蔵に書き込ませるための前記制御信号を生成するよう条件付けられる

前記請求の範囲2項記載のシステム。

4. 前記の予め定められたビットが2進数1として符号化され、前記制御回路装置は、前記カッシュ・ストアをしてその内蔵に前記情報を書き込ませてこれにより前記カッシュ・ストアをバイパスするため前記制御信号の生成を禁止せられる前記請求の範囲2項記載のシステム。

5. 前記指令モジュールは少くとも：(a) 入出力の制御信号を有し、前記制御装置の命令生成装置は、

前記メモリー指令を生成するための必要な制御信号を生成するためのマイクロ命令ワードのシーケンスを記憶するマイクロプログラム化された制御装置と、

前記メモリー指令の各々の前記アドレス成分として含まれるアドレス情報を生成するためのアドレス制御装置とを含む前記請求の範囲2項記載のシステム。

6. 前記補助記憶装置は、複数個のテーブル、即ち前記補助記憶装置における情報を照会するた

めに使用されるデータ制御ワードのリストを記憶するための第1のテーブルと、前記データ制御ワードを照会するためのリスト・ポインター・ワードを記憶するための第2のテーブルとを記憶するための複数個の記憶場所を含み、前記各データ制御ワードと前記リスト・ポインター・ワードの予め定められたビット位置は前記カッシュ・ストアがバイパスされるべき時点を指示するよう符号化され、かつ前記複数個の指令モジュールは更に前記複数個の入出力装置に結合される複数個のアダプタ・ポートを有するマルチプレクサモジュールを有し、前記指令生成装置は、

前記入出力動作の処理に関するアドレスおよび制御信号を記憶するよう構成された複数個のレジスタと、

前記入出力処理装置から指令を受取るための接続された前記複数個のレジスタの第1のもの、と

前記複数個のレジスタに結合されており、前記指令に応じて前記マルチプレクサ・モジュールの動作を制御するための制御装置と、

前記複数個のレジスタに結合されたセカレジスタ装置とを含み、前記制御装置は、前記処理装置からの第1の指令に反応して、前記第2のテーブルから読出される前記リスト・ポインター・ワードの1つに対応する情報を前記複数個のレジスタの第2のものに記憶するための信号を生成するよう作用し、前記制御装置は、前記処理装置からの第2の指令に反応して、前記第1のタイプのメモリー指令の第1のものの信号を生成し、前記信号は、前記データ制御ワードの第1のものを照会する際使用するべきリスト・ポインター・ワードの内容を前記第1のテーブルから前記出力レジスタにロードするように前記複数個のレジスタの前記第2のものを条件付ける前記請求の範囲5項記載のシステム。

7. 前記リスト・ポインター・ワードの内容が前記第1のタイプのメモリー指令の前記第1のものの前記カテゴリー成分とアドレス成分を含み、前記カテゴリー成分の予め定められたビットは、前記補助記憶装置からカッシュ・ストアに読出さ

れた前記データ・アドレス・ワードに対応する信号を前記メモリー・モジュールの前記制御回路装置が書込作業を禁止するための2進数1として符号化される第7種記憶の記憶8種記憶のシステム。

(8) 前記データ・アドレス・ワードの各々がデータ・アドレス・ワードおよびデータ・アドレス・ワードを含み、前記第2の指令に対応して生成された前記信号は、第1のデータ・アドレス・ワードの前記データ・アドレス・ワードおよびデータ・アドレス・ワードを記憶するため、それぞれ前記記憶装置のレジスタの第3と第4のものをあわせて、前記記憶装置は前記第1のタイプのメモリー指令の第2のものの信号を生成するよう作用し、前記信号は、前記入出力操作の間前記制御回路装置に記憶された情報を照合するために前記データ・アドレス内容を用いて前記出力レジスタをロードするよう前記記憶8のレジスタを符号化する第7種記憶の記憶8種記憶のシステム。

(9) 前記データ・アドレス・ワードの内容は前記第1のタイプのメモリー指令の前記第2のものを

テム]。発明者：J・カル(calle)、V・M・グリスウォルド(griswold)。

3. 1975年3月26日出発米国特許出願第562,333号「バスファインダ・マイクロプログラム制御システム」。発明者：G・W・パターンソン、M・G・ポータ。

4. 1976年11月18日出発米国特許出願第742,914号「メモリー・アクセス・システム」。発明者：E・F・ウェラー三世、M・G・ポータ。

本発明は、データ処理システムに關し、特にキャッシュ・メモリー・ストアを含むシステムに關する。

公知技術のあるものにおいては、中央処理装置(cpu)は、動作モードを監視するためのレジスタを含んでいる。通常、このレジスタはキャッシュ・ストアを0とRFFの状態で読取してストアをバイパスするよう作用可能な特殊な信号によりロードされる。

このようなシステムにおいては、従つて、最初

特開53-84632(3)

の前記カテゴリ・命令とアドレス命令を含み、前記カテゴリ・命令の前記予約の定められたビットは、前記メモリー・モジュールの前記制御回路装置をして前記キャッシュ・ストア内に前記情報と対応する信号を書込させるため2進数等として符号化されて、前記入出力制御装置による前記情報に対する迅速なアクセスを与える第7種記憶の記憶8種記憶のシステム。

3. (発明の他の説明)

特 許 出 願

1. 1976年11月15日出発米国特許出願第741,632号「ロックされたプロセッサを用いる入出力処理システム」。発明者：J・W・ツクス(woods)、M・G・ポータ(porter)、D・V・ミルズ(mills)、E・F・ウェラー(weller)三世、G・W・パターンソン(patterson)、E・M・モナハン(monahan)。(本文に記載の受取人に譲渡。以下同)

2. 1975年6月30日出発米国特許出願第591,563号「マルチプレクサ電圧保護シ

ステムのモードにcpuを置き、この状態がキャッシュ・メモリー・ストアのバイパスを許可するようになる必要がある。付加的オーバーヘッド処理を含む点が明らかに不利な点である。更に、この構成では、キャッシュ・ストアをアクセスする1つ以上の処理装置を持ち得るシステム(例えば、多重処理システム)に対しては不適当である。

別の公知技術のシステムは、セグメント・ディスクリプタ・ワードの使用により、セグメントが取扱われる(アクセス属性)方法を提供するセグメント・メモリー・システムを採用している。このセグメント・ディスクリプタ・ワードに含まれているのは、アドレス信号をしてキャッシュ・アドレス比較がうまく行われぬようにさせるビットである。これは、あるセグメントをしてワードをキャッシュ・ストアに記憶させ、かつキャッシュ・ストアに他のセグメントによりバイパスされるようにする。

このような構成においては、入出力操作と関連するセグメントがcpuのキャッシュ・ストアに入

る事を阻止される(カッシーエなしの操作)事が過
去必要で、このため検出されない主メモリにお
けるワードの更新を生じ得る。

この構成は多重記憶システムに対してより好適
であるが、特にセグメントが共用されるべきカッ
シーエ・ストアに対してどのセグメントがアクセス
を許容するかを決定する機能はされるオーバーヘ
ッドの箇所を必然として有するものである。又、
この構成は、主メモリ・アクセスに別の制御をも
たらし、メモリ・管理を複雑にする。

従つて、本発明の目的は、カッシーエ・ストア
のバイパスのための改良構成の提供にある。

本発明の更に別の目的は、どの区域も多数の指
令モジュールのいずれによつても選択的にアクセ
スできるカッシーエ・ストアの提供にある。

前述の目的およびこれ以外の目的は本発明の望
ましい実施形態において達成されるが、その構成
は多数の指令モジュールおよび1つの局部メモリ
・モジュールを含む入出力システムからなる。
この局部メモリ・モジュールは、補助記憶装置

およびカッシーエ・ストアを含んでいる。このカッ
シーエ・ストアは補助記憶装置から前に取出された
情報ブロックに対し迅速なアクセスを行う。望ま
しい実施形態の本システムは、更に、各々が異なる
1つのモジュールに帰属された複数のポート
を含むシステム・インターフェース層を含んで
いる。

局部メモリ・モジュールに与えられる各メモ
リ・読み出し指令は、補助記憶装置から要求された
情報が入、カッシーエ・ストアに蓄えられる時点を
表示するよう符号化される予め定められたビット
を含んでいる。局部メモリ・モジュールは、更
に、予め定められた指令ビットの状態に従つて、
補助記憶装置から要求されている情報をしてカッ
シーエ・ストアを選択的にバイパスさせる各読み
出しメモリ・指令に反応して作用する制御装置を含ん
でいる。

望ましい実施形態においては、この指令モジュ
ールは少くとも1個の入出力プロセッサおよび1個
のマルチプレクサ・モジュールを含んでいる。一

般に、カッシーエ・ストアは、各読み出しメモリ・指
令の予め定められたビットを予め定められた状態にセ
ットさせるよう作用するプロセッサにより使用され
る。これは、プロセッサにより補助記憶装置から要
求された情報を含む情報ブロックをカッシーエ・ス
トアに記憶するように前記憶装置を条件付ける。
入出力データ伝送の間、マルチプレクサのモジュ
ールは、予め定められた状態に予め定められたビ
ットをセットさせる事のないメモリ・指令を与え
る。従つて、この制御装置は、カッシーエ・ストア
に補助記憶装置から要求される入出力情報を記憶
させる事なくどの情報を伝送する。この状態は、
マルチプレクサ・モジュールが入出力情報でプロ
セッサによりカッシーエ・ストアに既に記憶された情
報を再び蓄込みしないようにさせる。然し、要求
された入出力情報が既にカッシーエ・ストアに存在
する時には、この制御装置は更に迅速なメモリ
・サイクルを占めてカッシーエ・ストアから、要求さ
れた入出力情報を伝送する。このように、プロセ
ッサは、同じ局部メモリ・モジュールに対するア

クセスが他の指令モジュール(例えば、マルチプ
レクサ・モジュール)と共用される場合でさえ、
カッシーエ・ストアの適正な制御を維持するのであ
る。その結果、入出力操作の更に迅速な制御が得
られる。

然し、プロセッサが、補助記憶装置から要求され
る情報がカッシーエ・ストアに記憶される事を欲し
ない場合もある。又同様に、システムが、マルチ
プレクサ・モジュールにより補助記憶装置から要
求されている入出力情報をカッシーエ・ストアに蓄
込まれる事を欲する場合もある。

このプロセッサにおいては、プロセッサがその作業
システムに記憶されるべきデータ・シーケアド
レスを導くため読み出し指令を発生するような場合に
は前述の状態が望ましい。補助記憶装置から要求
される情報が再びメモリから蓄えられる事は意
図されないため、プロセッサは、予め定められたビ
ットが予め定められた状態以外の状態にあるメモ
リ・指令を与えるよう作用する。

マルチプレクサ・モジュールに関しては、シス

システムは、通常データ転送操作の実行中マルチプレクサ・モジュールが現在する補助記憶装置におけるテーブルを生成している。仮さいい実施形態においては、このテーブルは、データ転送ワード (DCW) テーブルと命令データ転送ワード (IDCW) テーブルを含んでいる。IDCW テーブルは、DCW テーブルを指示するリスト・ポインタ・ワード (LPW) を含む。DCW テーブルは、主記憶メモリにおける補助記憶装置に対するポインタである DCW のリストを記憶する。LPW および DCW の数値は、通常マルチプレクサ・モジュールにより記憶され、補助記憶装置を現在するメモリ・指針を生成するために使用される。このシステムは、LPW および DCW における予め定められたビットを補助記憶装置からマルチプレクサ・モジュールにより読出されている情報がかンシニ・ストアに記憶されるべき状態に対する予め定められた状態をセットする。

メモリ・指針における予め定められたビットの状態を変更する能力を有する事により、入出力

ル 800 に対応する多数のメモリ・モジュールとを有する。これ等のモジュールの各々は、異なるタイプのインターフェース 600 乃至 603 の各々の複数の個の回線を介してシステム・インターフェース装置 (SIU) 100 の多数のポートの 1 つに接続している。更に、入出力プロセッサ (IOP) 200 と、上位プロセッサ 700 と、高速マルチプレクサ 300 はそれぞれポート G、E、および A と接続し、低速マルチプレクサ 400 とメモリ・モジュール 500、500 および 800 はそれぞれポート J、LMO および RMO と接続する。

第 1 図の入出力システムは、多数の「送動モジュール」、「受動モジュール」および「メモリ・モジュール」を含むように示されている。IOP プレクサ 200 と、上位プレクサ 700 と、高速マルチプレクサ 300 は、各々が指令を出す能力を有する送動モジュールとして作用する。送動モジュールは通常ポート A 乃至 H に接続する。複数の受動モジュールは、3 つのポート J、K、および L に接続される。これ等のモジュールは、低

特開 昭 53-84632(5)

システムの異なる指令モジュールは、カンシニニに記憶される情報を不きに書き込み又は読出する事なく情報に対する迅速なアクセスが可能となり、これによりある操作が更に迅速に実行可能となる。

構成および操作方法の両方の観点から類型を有するものと考えられる本発明の新鮮な態様については、更にその目的および長所と共に、添付図面に示して以下の記述を参照すれば更によく理解される。然し、本発明は開示のもののみに示されるもので、本発明の範囲する事はない事は了解されるべきである。

一般の知照

第 1 図から判るように、本発明の原理を包含するシステムは、少くとも 1 個の入出力プロセッサ (IOP) 200 個と、システム・インターフェース装置 (SIU) 100 個と、高速マルチプレクサ (HSMX) 300 個と、低速マルチプレクサ (LSMX) 400 個と、上位プロセッサ 700 個と、1 つの局域メモリ・モジュール 500 個と主メモリ・モジュール

800 個と対応する多数のメモリ・モジュールとを有する。これ等のモジュールの各々は、異なるタイプのインターフェース 600 乃至 603 の各々の複数の個の回線を介してシステム・インターフェース装置 (SIU) 100 の多数のポートの 1 つに接続している。更に、入出力プロセッサ (IOP) 200 と、上位プロセッサ 700 と、高速マルチプレクサ 300 はそれぞれポート G、E、および A と接続し、低速マルチプレクサ 400 とメモリ・モジュール 500、500 および 800 はそれぞれポート J、LMO および RMO と接続する。

第 1 図の入出力システムは、通常、それぞれ以下に詳細に記述するデータ・インターフェースおよびプログラム可能インターフェースと対応するインターフェース 600 と 601 を介して各ポート・F に接続する上位プロセッサ 700 により駆動される入出力装置に接続する入出力サブシステムとして作用する。ポート E と F は、第 1 図のマルチプレクサ又はプロセッサ・モジュールのいずれかの接続を可能にするためのインターフェースを含んでいる。

本発明の目的のためには、プロセッサ 700 は同

成上公司であり、特開特許第3,413,613号に記載される如き装置の形態をとり得る。望ましい実施形態においては、入出力プロセッサ200は、入出力命令の発行に必要とされるチャンネルプログラムを記憶し、SIU100から受取る読み込み要求を処理し、低速マルチプレクサ400に結合されるモニタ・コンコード周辺装置を直接制御する。プロセッサ200は、データ・インターフェース600と読み込みインターフェース602を介してポートHに接続する。

本発明の目的においては構成上公司と考えられる低速マルチプレクサ300は、各々が装置アダプタ・インターフェース(DAI)の各回線に結合する周辺装置アダプタを介して低速の周辺装置の取付けを可能とする。このインターフェースおよびアダプタは、本発明の発明人に提供された米国特許第3,742,457号に記載される如き装置の形態をとり得る。この低速の装置には、カード・リーダー、カード・パンチおよびプリンタが含まれる。第1図から明るように、マルチプレクサ400は

プログラム可能インターフェースを有してポートJに接続している。

高速マルチプレクサ300は、チャンネル・アダプタ302乃至305の各々に接続するディスク装置およびテープ装置309乃至312の各グループ間の転送を直接制御する。更に、最大16個迄の装置に接続し得る各チャンネル・コントローラ・アダプタ303乃至306は、更に、チャンネル・アダプタインターフェース(CAI)301-1のインターフェース回線を介してポートAはチャンネル0乃至3の各々に接続する。高速マルチプレクサ300は、データ・インターフェース600、プログラム可能インターフェース601および読み込みインターフェース602に対応するポートAに接続する。

本発明の目的のためには、チャンネル・コントローラ・アダプタ302乃至305の各々は、構成上公司と考えられる事ができ、前述の米国特許第3,742,457号に記載されたコントローラ・アダプタの形態をとり得る。

前述の如く、各モジュールはSIU100の異なるポートに接続する。SIU100は、各々のモジュール間のデータおよび制御情報の転送を可能にする転送経路を介して各モジュールの相互に対する転送を制御する。本発明の目的のためには、SIU100は、要求するモジュールが最優先順位を有しかつて使用可能なメモリー・サイクルを許される時、読取メモリー・モジュール500に於いて各「読取」モジュールにデータの出入り転送を可能にする切替先送機構として考えられる事ができる。即ち、前述の如く、SIU100は、各モジュールからの要求の切替先送機構を決定し、次に使用可能なメモリー・サイクルを受取つて最優先順位の要求に与えるメモリ・位置送機構を含む。

更に、SIU100は、各モジュールから受取る読み込み要求の切替先送機構を決定し、かつ受取つた最優先順位の要求を識別し、前述の如き切替先送機構を介してこの要求をプロセッサ200に送る読み込み要求先送機構を含む。

ポート・インターフェース

第1図の異なるモジュールについて詳細に記述するに先立ち、前述の各インターフェース600乃至603について第5a図乃至第5d図に於いて以下に記述する。

最初に第5a図に於いて、同図は、1つの読取モジュールとSIU100間の情報交換を行うインターフェースの1つであるデータ・インターフェースを構成する各回線を示す事が出来る。この情報交換は、「ダイアログ」と呼ばれる例示シーケンスにより構成される予め定められた規則に従つて各情報送力の物理的状態を制御する事により行われる。

第5a図から明るように、このインターフェースは、1つの読取出力ポート要求回線(AOPR)と、読取本側のSIUデータ回線(DTS00~35, P0~P3)と、読取本側のSIU読取データ回線(SDTS0~6, P)と、読取本側のSIUマルチポート要求回線(MITS0~3, P)と、1つの読取要求受け回線(ARA)と、読出しデータ受

入れ回路 (ARDA) と、処理中の SIU からのデータバス回路 (DFS 00~35, P0~P3) と、処理中の SIU からのマルチポート識別子回路 (MIPS 0~3, P1) と、SIU からの 2 倍率回路 (DPFS) と、状態受入れ回路 (AST) とを含む。この基インターフェース回路については、更には後に以下の項において記述する。

データ・インターフェース回路

記号	説明
AOPR	この回路はデータ要求回路は、各駆動モジュールから SIU 100 に存在する一方両性の回路である。この回路はセットされると、指令又はデータが送られるべき伝送経路をモジュールが要求する事を SIU に対して伝達する。
DTSG0~35, P0~P3	このデータ経路は、各駆動モジュールと SIU 間に存在する 4 バイトの一方両性の経路 (4 つの 10 ビット・バイト) で、各

される (指令はメモリー・モジュールのみにより解釈され、プログラム可能インターフェース指令は、入力プロセッサ 700 を除き全てのモジュールにより解釈せられる)。

c) ビット 5 の状態は、指令経路の 1 ワード又は 2 ワードが要求者の駆動モジュールと表示された受取り側のモジュール間に伝送されるべき事を表示する (1 ワードは単倍率伝送を指定し、2 ワードは 2 倍率伝送を指定する)。

d) ビット 6 の状態は、要求者のモジュールと表示された受取り側のモジュール間の伝送方向を表示する。

e) ビット P は、SIU 100 に内蔵される装置により検電され

特記 53-84632 (7)
駆動モジュールから SIU 100 に対して指令又はデータを伝送するのに使用される。

SDTSG0~6 P
対 SIU 経路データは、各駆動モジュールから SIU 100 に存在する。この回路は、回路 AOPR がセットされる時検電回路情報を SIU 100 に与えるために使用される。検電回路情報は、以下の如く符号化される 7 つのビットと 1 つのパリティ・ビットからなる。即ち、

a) ビット 0 の状態-DTS 回路に与えられる指令のタイプ (指令がプログラム可能インターフェース指令又はメモリー指令かどうか)

b) ビット 1~4 は、モジュールのどれが指令を受取り割込みさせるかを表示するよう符号化

る要求者の駆動モジュールにより生成されるパリティ・ビットである。

MTSG0~3, P
4 本の対 SIU マルチポート識別子回路は、駆動モジュールから SIU 100 に存在する。この回路は、駆動モジュール内のどのサブチャンネル又はポートが回路 AOPR のセッティングを生じたかを表示するよう符号化される。

ARA
駆動要求受入れ回路は、SIU 100 から各駆動モジュールに存在する。この回路は、表示された受取り側モジュールが、データ・インターフェース回路から要求された情報を検電させる駆動モジュールの要求を受入れた事を表示するようセットされる。

ARDA 読出しデータ受入れ回路は、SIU から各駆動モジュールに送達する。この回路は、SIU 100 によりセプトされて、表示されたモジュールから前に要求されたデータを受入れるべき事を駆動モジュールに対して表示する。

DFS00~35, P0~P3 SIU からのデータ回路は、SIU から各駆動モジュールに送達する 4 バイト巾の一方向性経路 (4 つの 10 ビット・バイト) である別の別のデータ経路回路である。これ等の回路の組は、読出しタイプのデータを駆動モジュールの表示された 1 つに伝えるよう SIU 100 により使用される。

MIFS0~3, P このマルチポート識別子回路 プラス番数パリティ回路は、SIU 100 から各駆動モジュールに

DPFS

AST

送達する。これ等回路は、駆動モジュールにおけるどのポート又はサブチャネルが SIU 100 から前の読出し操作のデータを受入れるべきかを表示するよう符号化される。

SIU からの 2 経路回路は、SIU から各駆動モジュールに送達する。この回路の状態は、読出しデータの 1 ワード又は 2 ワードが駆動モジュールにより受けられて転送を完了 (読出し指示) する事を表示する。

状況受入れ回路は SIU 100 から各駆動モジュールに送達する。相互に回路 ARDA を接続することの回路の状態は、駆動モジュールが DFS 回路に与えられる状況情報を受入れるべき事を駆動モジュールに信号する。

図 5 b 図に示されたプログラム可能なインターフェース 601 の回路は、駆動モジュールと表示されたモジュールからの指令情報の転送を行う。この転送は、「ダイアログ」と呼ばれる信号シーケンスにより構成される予め定められた規則に従い各信号回路の状態の論理回路を制御する事により行われる。プログラム可能インターフェースは、プログラム可能インターフェース指令受入れ回路 (APC)、複数の SIU からのプログラム可能インターフェース・データ回路 (PDFS00~35, P0~P3)、プログラム可能インターフェース使用可能回路 (PIR)、データ転送受出し要求回路 (RDTRI)、複数の SIU プログラム可能インターフェース・データ回路 (PDTS00~35, P0~P3)、およびデータ読出し受入れ回路 (RDAA) を含む。これ等インターフェース回路については更に図 5 c 以下に記述する。

プログラム可能インターフェース回路

記号	説明
APC	プログラム可能インターフェース

PDTS00~35, P0~P3

PIR

ス指令受入れ回路は、SIU 100 から各受取り側モジュールに送達する。この回路はセプトされると、指令増幅が SIU によりインターフェースの PDFS 回路に与えられた事およびモジュールにより受け入れられるべき事をモジュールに対して信号する。

SIU からのプログラム可能インターフェース・データ回路は、SIU 100 から各モジュールに送達する 4 バイト巾の一方向性の経路 (4 つの 10 ビット・バイト) である。これ等の回路は、SIU から表示された受取り側のモジュールに対してプログラム可能インターフェース情報を与える。

プログラム可能インターフェース使用可能回路は、各モジュール

からSIU 送信する。この
 回線は、セットされると、モジ
 ュールが回線PDFSに与えられ
 るべき指令を受入れる用意のあ
 る事を表示する。

POTS00-35.
 P0-P3
 SIUプログラム可能インター
 フェース・データ回線は、各モ
 ジュールからSIU1000送信
 する4ビットの一方向性の経
 路(4つの10ビットバイト)
 である。これら回線は、プロ
 グラム可能インターフェース情
 報をSIUに転送するのに使用さ
 れる。

RDTR
 データ転送要求脱出回線は、
 プログラム可能インターフェー
 スに結合された各モジュールか
 らSIU1000送信する。この
 回線は、セットされると、脱出
 要求された脱出しデータがモジ

は、「ダイヤログ」と呼ばれる信号シーケンス
 により構成される予め定められた規則に従い各信
 号回線の論理的状態を制御する事により行われる。

このインターフェースは、前送み要求回線(IR)
 と、複数本の前送みデータ回線(IDA00-11、
 P0-P1)と、ポートA乃至Lに接続されたモ
 ジュールに対する複数本の前送みマルチポート選
 別子回線(IMID00-03)を含む。ポートG
 とHに接続されたモジュールに対しては、前送み
 インターフェースは更に、レベル零存在回線(LZP)、
 高レベル前送み存在回線(HLIP)、前送みデータ
 要求回線(IDR)、解放回線(RLS)、および複数本
 の能動前送みレベル回線(AILO-2)を含んで
 いる。第5.6節から判るように、前送みインター
 フェース・ポートGとHは、前送みマルチポート選
 別子回線は含まない。前送みインターフェース
 回線については更に詳細に以下に記述する。

前送みインターフェース回線

記号	説明
IR	この前送み要求回線は、各モジ

回路53-84632(9)
 ュールに対する前送みのために使
 用可能であり、モジュールによ
 り回線POTSに対して与えられ
 た事を表示する。

RDAA
 脱出しデータ受入れ回線はSIU
 1000から各モジュールに伝送
 する。この回線は、セットされ
 ると、回線POTSに与えられる
 データが受入れられた事、およ
 びこのモジュールがこれと同機
 からの情報を伝送できる事をモ
 ジュールに対して表示する。

その他のインターフェースは、入出力プロセサ
 200により前送み処理を行う第5.6節の前送み
 インターフェース602である。即ち、このイン
 ターフェースは、能動モジュールによる前送み情
 報のSIU1000に対する転送を可能にすると共に、
 SIU1000による前送み情報の処理のための入出
 力プロセサ200に対する転送も可能にする。他
 のインターフェースと同様に、前送み要件の転送

ュールからSIU1000送信す
 る。この回線は、セットされ
 ると、サービスを要求する事を
 SIUに表示する。

IDA0-3, P0
 IDA4-11, P1
 前送みデータ回線は、能動モ
 ジュールからSIU1000に伝送す
 る。これら回線は、前送み要求
 がプロセサにより受入れられた
 時、入出力プロセサに対して転
 送される必要がある制御情報を
 含むように符号化される。これ
 らのビットは以下の如く符号化
 される。

- ビット0の状態は、2つの
 プロセサの内どちら(即ち、プ
 ロセサ番号)が前送み要求を処
 理するかをSIU1000に対して
 指定する。
- ビット1-3は、前送み要
 求の優先順位即ちレベル番号を

SIU100に対して表示するよう符号化される。

c) ビットP0はビット0～3に対するパリティ・ビットである。

d) ビット4～8は、割込み処理のための現在の手順を照合するために出力プロセッサ200により生成される必要があるアドレスの一部（即ち、割込み型プロシージャ番号ICBN）を与えるよう符号化される。

e) ビットP1はビット4～11に対するパリティ・ビットである。

IMID00～33 割込みマルチポート識別子回路は、各駆動モジュールからSIU100に存在する。これら回路は、駆動モジュールのどのサブチャンネルが割込みサービスを

RLS

AIL0～2

SIU100により回路DFS上のプロセッサに対して決られるべき事を表示する。

駆動回路は、入出力プロセッサ200からSIU100に存在する。この回路は、セットされる時、プロセッサ200が現行の手順の履行を完了した事を表示する。

駆動割込みレベル回路は、SIUからの入出力プロセッサ200に存在する。これら回路は、プロセッサ200により実行中の手順の割込みレベル番号を表示するよう符号化される。

第1空のモジュールのあるものにより使用されるインターフェース回路の数は、第54空の局域メモリー・インターフェース回路に対応する。局域メモリー・インターフェース6003は、局域メモリー500とシステムのモジュール間の

LZP

HLIP

IDR

特開 53-84632(10)
変更したかを確認するよう符号化される。

レベル番号は回路は、SIU100から入出力プロセッサ200に存在する。この回路は、セットされると、SIU100によりプロセッサ200に対して指示される優先順位（レベル0割込）要求がある事を表示する。

高レベル割込みは回路は、SIUからの入出力プロセッサに存在する。この回路は、セットされると、プロセッサ200により実行される手順又はプロセスよりも高いレベルの優先順位を有する割込み要求がある事を表示する。割込みデータ要求回路は入出力プロセッサ200からSIU100に存在する。この回路は、セットされると、割込みデータが

情報の交換を行う。この交換は、「ダイアログ」と呼ばれる信号シーケンスにより構成される予め定められた規則に従って各信号インターフェース回路の論理的状態を制御する事により行われる。局域メモリー・インターフェースは、現数本の前メモリーデータ回路(DTMO0～35, P0～P3)、現数本の前メモリー要求識別子回路(RITM0～7, P0～P1)、現数本の前メモリー指定回路(SLTN0～3, P)、P1指令受入れ回路(APC)、ZAC指令受入れ回路(AZC)、PIインターフェース使用可能回路(PIR)、ZACインターフェース使用可能回路(ZIR)、データ転送要求出し回路(RDTR)、現数本のメモリーからのデータ回路(DFMG0～35, P0～P3)、現数本のメモリーからの要求識別子回路(RIFM0～7, P0～P1)、メモリーからの2倍精度回路(DPFM)QUAD回路、読出しデータ受入れ回路(RDAA)、およびシステム・クロック回路(SYS-CLK)を含む。

メモリーおよびプログラム可能インターフェー

ス指令は、インターフェースの同じ種類のデータ
 回路から転送される。このインターフェースは、
 読み込み要求の処理のための1組の回路を含んでお
 らず、従つてSIU100により局内メモリに格納
 される各モジュールは専断メモリ読み込みを主
 たる事はできない。局内メモリ・インターフェ
 ース回路については以下に更に詳細に記述する。

局内メモリ・インターフェース回路

IP 番	説 明
DTMO0~35, PO~P5	データ経路回路は、SIU100 から局内メモリ500に格納さ れる4バイト内の一方向性経路 (36本の情報回路および4本 の新設パリティ回路)を構成す る。これら回路は、メモリ又は プログラム可能インターフェ ース指令を局内メモリ500に おいて転送するのに使用され る。
RITMO~5,PO RITM4~7,P1	対メモリ・リクエスト識別子

又はサブプログラムがモジュ
 ールに対して送られたメモリ指
 令を受取るか編成するかを指定
 するよう符号化されたポート番
 号選択ビットである。

b) ビット2は、新たな指令が
 SIU100によりメモリに送
 られる時、SIU100により局
 内メモリ500に転送され
 る能動モジュールから受取られ
 る制御情報に含まれる対メ
 モリ・読出し/書込みビットで
 ある。このビットの状態は、デ
 ータ転送の方向を表示する。

c) ビット3は転送されるべき
 データ量を指定するよう符号化
 される対メモリ・2倍増倍ビ
 ットである。これは、又、新た
 な指令がメモリ・モジュール
 に送られる時、SIU100によ

符記53-84632(11)
 回路で、SIU100から局内
 メモリに格納する2グループの
 4回路を構成する。これら回路
 は、指令を格納したモジュール
 を識別する局内メモリにおい
 て情報を伝えるよう符号化され、
 格納したモジュールに対し要求さ
 れたデータを送るため使用され
 る。

SLTMO~3, P 対メモリ・指定回路は、SIU
 100から局内メモリ500
 に格納し、2本のポート番号選
 択回路、対メモリ・読出し/書
 込み回路、対メモリ・2倍増倍
 回路、およびパリティ回路を含
 んだ。これ等の回路に与えられ
 た情報番号は下記の如く符号化さ
 れる。即ち、
 a) ビット0~1は、取付けら
 れるモジュール内のどのポート

り局内メモリ・モジュール
 500に対して転送される該
 動モジュールにより与えられる
 制御情報に含まれる。

A Z C ZAC指令受入れ回路は、SIU
 100から局内メモリ・モ
 ジュール500に格納する。この
 回路は、セットされる時、局内
 メモリ・モジュール500に
 対して、SIU100により他の
 回路に与えられたZAC指令およ
 び制御情報を受入れる事を俟
 てる。このインターフェース回
 路のセッティングは、P1指令
 受入れインターフェース回路に
 おいて相互に排他的である。
 プログラム可能インターフェ
 ース指令受入れ回路は、プログラ
 ム可能インターフェースに
 記述したように、SIU100か

A P C

	ら局内メモリ・モジュール 600迄存在する。この回路は、 セットされると、回路DTMに与 えられた指令情報が局内メモリ ・モジュールにより受け入れら れるべき事を表示する。		
PIR/ZIR	プログラム可能インターフェー ス使用可能回路/ZACインター フェース使用可能回路は局内メ モジュール500から SIU100迄存在する。各回路 はセットされると、局内メモリ ・モジュール500がプログ ラム可能インターフェース(PI) /メモリ(ZAC)指令の受入 れが可能であることをSIU100 に対して信号する。	DFM00~35, P0~P3	メモリからのデータ回路は、 局内メモリ・モジュール500 からSIU100迄存在する4バ イト巾の一方向性のバスである。 これら回路は、読出し要求され たタイプデータをSIU100を 介して読出モジュールに渡すの に使用される。
RDTR	データ転送要求読出し回路は、 局内メモリ・モジュール500 からSIU100迄存在する。こ	RIFM0~3, P RIFM4~7, P	メモリからのリクエスト識別 子回路のグループは、局内メ モジュール500から SIU100迄存在する。これら 回路は、モジュール500から

DPFMおよび QUAD	要求モジュールに対して読出 しデータを指向させるよう符号 化されている。 メモリからの2倍精度回路お よびQUAD回路は、局内メモリ ・モジュール500からSIU 100迄存在する。これら回路 は、読出しデータ転送要求時間 間隔の間SIU100を介して要 求側のモジュールに対して転送 されるべきワード数を表示する ように符号化されている。これ らの可変は下記のとおり符号化さ れる。即ち、 QUAD DPFM 0 0 1ワード、1倍精度 0 1 2ワード、2倍精度 1 x 4ワード (x:任意)		局内メモリ・モジュール500 からSIU迄存在する。この回路 の状況は、回路DFMに与えられ る情報は、回路RDTRがセット される時、読出しデータ又は状 況情報であるかどうかをSIU 100に対して信号する。この 回路は、セットされると、1ワ ード又は2ワードの状況情報 (QUAD=0)が転送されつつあ る事を表示する。2進数等にセ ットされると、この回路は、4 ワード迄のデータが転送されつ つある事を信号し、そのワード 数は回路QUADおよびDPFMの 符号により指示される。 プログラム可能ターミナルに属 して述べたように、読出しデー タ受入れ回路は、SIU100か ら局内メモリ・モジュール迄
DSD	読出しデータ/状況識別子回路は	RDA A	

存在する。この回路は、セットされると、局域メモリー・モジュールによりインターフェース回路より与えられるデータが受入れられた事、および局域メモリー・モジュールがデータをこの回路から除去できる事をメモリー・モジュールに対して信号する。

SYSTEM-CLK システム・クロック回路は、SIU100からシステムの各モジュールに伝達する回路である。この回路は、入出力プロセッサ200に内蔵されるクロック・ソースに接続され、共通のシステム・クロック・ソースからの各メモリー・モジュールの動作を同期させる。

図5a図乃至図5d図は、第1図のシステムの異なるモジュールをSIU100に接続する回路を

特開 53-84632(13) 示すが、例えばエラー条件および動作条件の出力等の条件を発生するための他の回路も含まれる事が判るであろう。第1図のモジュールにより使用される異なるタイプのインターフェースについて記述したが、本発明の理解に關連する各モジュールについて以下に更に詳細に記述する。

入出力プロセッサ200-0の詳細

第2図において、対POの各プロセッサ200は、命令実行のための制御ストア201-10に記憶されるマイクロ命令にตอบสนองして制御信号を生成するよう作用するマイクロプログラム化された制御セクション201と、局域メモリー・モジュール500から取出される命令を記憶するための命令バッファ・セクション202と、記憶セクション203と、制御ストア201-10に記憶されたマイクロプログラムの制御下で演算論理作用を実行するための処理セクション204とを含む。このプロセッサ対の構成はシステムの信頼性を保証するものであり、関連出願項に引用した最初の出願に詳細に記述されている。

制御ストア・セクション201

各セクションを更に詳細に考察すれば、制御ストア201-10は例えば読出し専用(ROM)のために使用する固定セクションから構成される。ストア201-10は、セレクト・スイッチ201-14に与えられた8つのアドレス・ソースのどれか1つからの信号を介してアドレス指定可能である。アドレス指定された場所の内容は、出力レジスタ201-15に読込まれ、ブロック201-16に内蔵されるデコード回路により復号される。

更に、図示の如く、レジスタ201-15のマイクロ命令内容のフィールドの1つからの信号は8つの入力ソースの内のどれが制御ストア201-10に対してアドレスを与えるかを選択するためのスイッチ201-14に対する入力として与えられる。レジスタ201-15に読出されたマイクロ命令は、制御ストア201-10を適当なマイクロプログラム・ルーチンに分類するためのアドレス足数を含んでいる。

第2図から判るように、8つの制御ストア・アドレス・ソースは下記のように示される。即ち、SIU100およびプロセッサ200内蔵の回路により与えられる信号から導かれる制御/例外信号と、加算/シフト器201-24を介してレジスタ201-22に記憶される次のアドレス情報を受取る次のアドレス・レジスタ位置と、戻りレジスタ201-20の戻りアドレス内容を受取る戻りアドレス・レジスタ位置と、メモリー出力レジスタ201-4を介してバスファインダ・メモリー201-2からアドレスを受取る実行アドレス・レジスタ位置と、これも又レジスタ201-4からアドレスを受取るシーケンス・アドレス・レジスタ位置と、出力レジスタ201-15から一定数値を受取る定数位置とである。

適当な次のアドレスが加算回路201-24により生成され、この回路は、一方のオペランド入力としてスイッチ201-14により選択されるソースの1つからアドレス信号を、他方のオペランド入力としてブロック201-26のスキップ

制御回路からの信号を受取る。このスキャン制御回路は制御スタ・レジスタ201-15に記憶される定数信号により動作が付けられ、前記レジスタは更に前記回路201-24に対するオペランド入力1つとして適切な数値を与える。元重畳は201-24により生成されて得たアドレスは、スイッチ201-14により与えられるアドレス・プロポク201-26のスキャン制御回路により与えられる定数信号の和を表示する。要約すれば、スイッチ201-14の異なる位置に、制御スタ・ア201-10から読み出されたマイクロ命令に等して選択され、プログラム命令のOPコードにより選択される操作の実行に必要とされる制御スタ201-10に記憶されるマイクロプログラムに対して適切なアドレスを与える。命令OPコードは、図示の如く回路201-6を介してバスラインダ・メモリ201-2に与えられる。スイッチ201-14の異なるアドレス・レジスタ位置は分岐操作の種別としてプログラムの順序付けの間に選択されるが、定数レジスタ位置はレジ

スタ201-15に記憶されるマイクロ命令の定数フィールドにより決定されるアドレス201-10における予め定められた場所に対する分岐を行うために選択される。

プログラム命令の実行の完了時点で前記が記憶される。第2図から、高レベル判定み存在(HLIP)回路およびレベル判定み(LZP)回路はスイッチ201-14に信号を与える事が出来る。HLIP回路に与えられる信号にプロセス制御レジスタ204-22からの判定み禁止信号と「AND」され、その結果はLZP回路に与えられた信号とのRされる。高レベル判定み存在信号が与えられない、即ちLZP回路に与えられた信号が存在する時、スイッチ201-14に接続された回路回路(図示せず)からの信号は例外/判定み位置を選択する。判定みの存在を表示する信号回路(LZPおよびHLIP)は、次のプログラム命令を実行するためのマイクロ命令シーケンスを照合する代りに、マイクロ命令の判定みシーケンスの選択を照合させる。

「例外」を表示する信号回路は、スイッチ201-14と接続する制御回路(図示せず)に与えられ、例外/判定み位置の選択を惹起する。この状態では、マイクロ命令の例外シーケンスを照合するためのアドレスを与える。実行のタイプに従って例外は直ちに処理されるが、これは、実行するプログラム命令実行が止まらなければならない、即ち不能でない(例、過電、過電命令)ためである。すなわち、実行が即時のアテンションを必要としない(例、タイム・アウト・オーバーフロー)プログラム命令の実行の完了と同時に処理される。本文に説明したように、例外の発生は、スイッチ201-14の例外/判定み位置を選択させ、プロセスレジスタ204-22の適切なビット位置のセッティングを惹起する。

第1図にPDAと表示され、制御セクション201-1に対する適切なメモリの操作サイクルを確保するために必要なタイミング信号は、プロセッサ201-1の他のセクションおよび第1図のシステムの他のモジュールを操作するためのタイミング

信号と共に、ブロック201-30に内蔵されるクロック回路により与えられる。本発明の目的に対しては、クロック回路および第2図の他の回路は共に構成上公知と考える事ができ、例えば、

1972年テキサス・インスツルメンツ社により発行された「設計技術者のための集積回路カタログ」なる書名の文献に示される諸回路の形態をとつても良い。更に、クロック回路はクリスタル制御回路およびカウンタ回路からなり、スイッチ201-14は複数のデータ・セクタ/マルチプレクサ回路を有するもので良い。

前述の事から、殆んど全てのマイクロプログラム化された制御装置における如く、制御スタ201-10は各プロセッサの操作サイクルのために必要な制御を与える。即ち、1操作サイクル中に制御スタ201-10から読み出される各マイクロ命令ワードは多くの別々の制御フィールドに分割され、このフィールドは、異なるスクラッチパッド・メモリのアドレス指定およびオペランドの選択のための第2図の各種のセクタ・スイッチに付

して必要な入力信号と、分岐のための各テスト条件を指示するための信号と、セクション204の加算/シフト装置の動作を制御するための信号と、指令を生成するのに必要な制御情報を与えるための信号を与える。制御セクション201の動作に関するこれ以上に詳細な内容については、本発明の譲受人に譲渡されたG.W.バタースンの「バスファインダ制御メモリ」なる名称の係属中の米国特許出願を参照されたい。又、本文の簡潔な図面に記載の文獻を参照してもよい。

命令パツパア・セクション202

本項は、命令メモリ・モジュール500から取出されかつレジスタ204-18におけるデータを介して与えられる4ワード迄の命令を記憶するための複数個のレジスタ202-2を含む。レジスタ202-2のグループは、2つの出力と1つの現行命令既出出力(CIR)と1つの次の命令既出出力(NIR)を与えるよう構成される2桁番の命令レジスタ・スイッチ202-4に接続されている。半ワード又は完全ワードに基く命令

のレジスタ(即ち、レベル)の1つを選択するが、残りの4ビットは16レジスタの1つを選択する。SIU100により能動読みレベル(AIL)回転に与えられる信号は、3つの最上位のビットをスクラッチパッド・アドレス入力203-12に与える。残りの信号は、制御ストア・レジスタ201-15又はIRSWを介して与えられる命令からのフィールドにより与えられる。

書き込みアドレス・レジスタ203-22は、スイッチ202-4を介してロードされ、レジスタ201-15に含まれるマイクロ命令のフィールドの1つにより表示される如き現行プログラム命令のビット9-17又はビット14-17のいずれかに対応する信号を記憶する。従つて、書き込みアドレス・レジスタは、スクラッチパッド・メモリ203-10の汎用レジスタの1つに結果をロードしあるべきことを示すためのアドレス記憶を与える。書き込み操作は、図示しないクロックされた書き込みフリップフロップの2進数1への切換えに対し、あるいはレジスタ201-15へロー

ワードの選択は、ブロック204-17の書き込みレジスタの最初のものに書き記憶される現行命令カウンタ(IC)のビット位置の状態に従つて行われる。本発明の目的のためには、この構成は既述と公知のものと考えられる。

記憶セクション203

図2図から判るように、このセクションは、各々が異なる8つの要素単位レベルを割当てられる8つの異なるプロセスと関連する8組又は8グループのレジスタを含むスクラッチパッド・メモリからなる。最優先単位レベルはレベル0であり、最低単位レベルはレベル7である。各グループ即ちレベルは、前述の如く使用される16個のレジスタを含む。

スクラッチパッド・メモリ203-10は、8つのソースのどれかから7ビットのアドレスをアドレス入力203-12に対して選択的に与える8桁番のデータ・セクタ・スイッチ203-14を介してアドレス指定される。アドレス入力203-12の3つの最上位のビット位置は8組

ドされるマイクロ命令のフィールドに対して応答して生じる書き込みクロック信号の生成と同様に生じる。書き込みフリップフロップにより生成される際、次のPDAクロック・パルスの発生と同時に書き込みフリップフロップが2進数零にリセットされる時に書き込みクロック信号が生じる。これは、次の命令の処理を開始する間プログラム命令に属する書き込み操作を発生させる。

書き込みアドレス・レジスタ203-22の内容は、レジスタ203-22が0、1又は15のアドレスを記憶する際に出力回路上に信号を発生するように作用するセクタ・スイッチ203-14を介してデコード回路203-28に与えられる事が判るであろう。この信号は、書き込みフリップフロップが2進数1の状態にある時、図示しないゲート回路により書き込みクロック・パルスの発生を禁止する。更に、デコード回路203-28は、プロセス状態レジスタ204-20からモード信号を受取る。プロセッサ200がマスター又はスレーブ操作モードにある事を示す信号の状態は、

出力信号で「AND」され、プロセス制御レジスタ 204-27 およびスイッチ 201-14 の例外-割込み位置の選択を生じる 1 つに対する入力として与えられる別の出力回路上の例外信号を生じるように使用される。本文に説明したように、この状態は、スタックポッド・メモリー 203-1 のプロセス状態レジスタの場所 (GR0) の内容の変更を阻止する。

アドレス指定されたレジスタの場所の内容は、最初の 2 位置のデータ・セレクト・スイッチ 203-18 を介してスタック・ポッド・レジスタ 203-16 に送達される。次いでこのポッド・レジスタ 203-16 の内容は、別の 2 位置のデータ・セレクト・スイッチ 203-20 を介して処理セクション 204 に選択的に与えられる。データ・セレクト・スイッチ 203-14、203-18 および 203-20 の各々の異なる位置は、レジスタ 201-15 に送達されるマイクロ命令に含まれる異なるフィールドにより選択可能である。スタックポッド・メモリー 203-10 は、

ブロック 204-17 の 4 つの作業レジスタの内、いずれか 1 つに選択的に送達された 1 対の出力バスから与えられるデータ信号を受ける。

16 個のレジスタの各組は、現行プロセスの割込みに必須の情報の記憶のためのプロセス状態レジスタ (PSR) の場所 (汎用レジスタ 0) を含む。レジスタの最初の 8 ビット位置は、割込みモジュールを識別するよう符号化された局向情報を記憶する。次の位置は、操作モード (即ち、マスター又はスレーブ) を識別するよう識別するよう符号化された各種ビット位置である。このレジスタも又、レジスタ内容が変更できるかどうかを表示するよう符号化された状態レジスタのビット位置と、アドレス・モード・ビット位置と、2 つの条件コード・ビット位置と、繰上げビット位置と、関連するプロセスが活動状態にある (即ち、「プロセス・タイマー」) として作用する) が選択的に派分されるカウントを記憶するための 22 ビット位置とを含む。修正又は照会のために必要なプロセス状態レジスタの内容に対するアクセスの頻度

の故に、このレジスタの内容を格納する信号は、処理セクション 204 のレジスタ (即ち、レジスタ 204-27) の 1 つに記憶される。このように、プロセス状態レジスタの内容を記憶するための汎用レジスタの記憶場所は、割込みの発生と同時にセクション 204 のプロセス状態レジスタの現在値を記憶するよう作用する。

各グループのレジスタは、更に、関連するプロセスの現行命令のアドレスを記憶するための命令カウンタ (汎用レジスタ 1) を含んでいる。更に、各グループのレジスタは、ページ・テーブル基座レジスタ (汎用レジスタ 15)、およびオペランドとアドレス情報のための一時的記憶を提供するための多数の汎用レジスタ (汎用レジスタ 2-14) を含んでいる。スタックポッド・メモリー 203-10 は又、局所メモリー・モジュール 500 に記憶される例外制御ブロックおよび割込み制御ブロック・テーブルの基座を指示する絶対アドレスを記憶する制御ブロックの基座 (CBB) レジスタの場所を含んでいる。決して変更されないレジ

スタの最優先順位 (レベル 0) の最初のレジスタ GR0 は、制御ブロックの基本情報を記憶する。割込み制御ブロック (CBB) テーブルは、割込みタイプを処理するための情報を記憶する 256 グループの記憶場所を含んでいる。例外制御ブロック (ECB) テーブルは、例外タイプを処理するための情報を記憶する 16 グループの記憶場所を含んでいる。

例外とは、プロセッサ 200 を自動的に 16 の例外処理ルーティンの 1 つに入れるプロセス演出による条件である。この例外条件は、プロセッサがマスター・モードに入る時プログラム命令のビット 10-15 に対応する 4 ビットの例外番号により識別される。他の全ての場合には、例外番号は零である。例外番号 (ECB#) は、例外処理ルーティンを指示する 4 ワードの例外制御ブロック (ECB) の 1 つを識別するのに使用される。ECB のバイト・アドレスは、制御ブロック・ベース (CBB) -16 (ECB#*1) と等しい。各 ECB は、プロセッサ 200 が例外ルーティンに入る前に、現行プロセスに属す

る情報を記憶するためのスタック領域として作用する保留領域ポインタに加えて、レジスタ PSR、IC および PTBR をロードするための数値を含む。

割込み制御ブロック (ICB) のアドレスは、制御ブロック・ベース (CBB) + 16 (ICB*) と等しい。ICB* は前述の如く割込みワードから与えられる。すなわち、ICB は 4 ワードのブロックであり、レジスタ PSR、IC、GR14 および PTBR に対する数値を含む。

処理セクション 2.3.4

このセクションは、プログラム命令の処理に必要な演算処理操作の全てを要約する。セクション 2.0.4 は、1 対の 36 ビットのオペランドに対して演算、シフトおよび論理的操作を要約する能力がある加算/シフト装置 2.0.4-1 を含む。装置 2.0.4-1 の加算装置部分又はシフト装置部分のいずれかにより主じる結果は、マイクロ命令に応じて選択され、その後 1 対の出力回路上の 4 位番データ・セレクタ・スイッチ 2.0.4-8 をブロック 2.0.4-12 の作業レジスタのいずれかに対

し、およびデータ出力レジスタ 2.0.4-14 に対して選択的に転送される。データ出力レジスタ 2.0.4-14 はプロセッサ・データ・インターフェース 600 の回路に接続する。

本装置の目的のためには、加算/シフト装置 2.0.4-1 は構成上に公知と考えられる。又、装置 2.0.4-1 は、J. P. スタッフード (Stafford) の米国特許第 3,811,039 号に開示される如き回路が、本文の発明出願に記載された如き回路に開示される回路を含むものでもよい。

ブロック 2.0.4-12 は、命令カウンタおよび命令実行の間のアドレスに対して一時的記憶を与える 4 つの作業レジスタ R0 乃至 R3 を含んでいる。これ等レジスタは、スイッチ 2.0.4-8 に接続されたソースの内のいずれか (即ち、加算/シフト装置 2.0.4-1、アドレス・スイッチ 2.0.4-6、PSR/PCR スwitch 2.0.4-24 およびスクラッチパッド・バッファ入力スイッチ 2.0.3-18) からロードできる。ロードされるべきレジスタおよびこのレジスタのロードに必要とされ

る割込み番号は、レジスタ 2.0.1-15 に送出されるマイクロ命令に含まれるフィールドにより保護される。

第 2 図から判るように、各レジスタは 1 対の出力バス WRP および WRR に接続される。WRP バスは、アドレス入力 2.0.4-5 と、スイッチ 2.0.3-18 と、スクラッチパッド・メモリ 2.0.3-10 に接続する。WRR バスは、A オペランド・スイッチ 2.0.3-20 と、8 オペランド・スイッチ 2.0.4-1 と、レジスタ 2.0.4-20 と、レジスタ 2.0.4-22 に接続する。WRR および WRP バスに対して接続するための選択されるレジスタは、レジスタ 2.0.1-15 に送出されたマイクロ命令に含まれる 1 対のフィールドにより表示される。

第 2 図から判るように、処理セクション 2.0.4 は、プロセス制御レジスタ 2.0.4-20 とプロセス制御レジスタ 2.0.4-22 を含む。前述の如く、プロセス制御レジスタ 2.0.4-20 は出力バス WRR を介してスクラッチパッド・メモリ 2.0.3-10 からロードされる。プロセス制御レジスタ

2.0.4-22 は、全ての 8 つの割込みレベルに共有した 36 ビットのレジスタである。

プロセス制御レジスタ 2.0.4-22 のビット位置は、下記の情報を含む。ビット位置 0~8 は、下記のものを含む異なるタイプの非マスター・モードの例外を表示する。即ち、

PCR ビット位置	例外タイプ
0	動作不正常、回線 ARA 又は ARDA 上の SIU100 からの応答なし。
1	ページ・アドレスは過剰となる (キー検電)
2	ページ・アクセス過剰
3	メモリーに存在しないページ
4	過剰操作
5	プロセス・タイマーのラン・アウト
6	オーバーフロー
7	ロック・アップ過剰
8	アドレス位相合せ不良

用語「過剰」は必ずしもハードウェアの発生を意味せず、エラー条件等を含む。

ビット位置 9~15 はパリティ・エラーの場所を識別し、ビット位置 23~26 は PNID および AID 回線から受取るプロセッサ番号およびレベルを識別する。ビット位置 27 は読み込み禁止ビット位置であるが、ビット位置 28~35 は、2 進数 1 にセットされるとビット位置と対応するレベル（例、ビット 28 = レベル 0）における読み込みを表示する読み込み要求ビットを記憶する。ビット位置 27~35 は、出力バス WRR を介してブロック 204-12 のレジスタ・バンクからプログラム命令によりロード可能である。各レジスタ 204-20 と 204-22 の内容は、2 位置のデータ・セレクト・スイッチ 204-24 を介して 4 位置データ・セレクト・スイッチ 204-8 の位置の他の 1 つに対する入力として選択的に与えられる。レジスタ 204-20 は又、2 位置の場面セレクト・スイッチ 204-10 および 4 位置のアドレス・セレクト・スイッチ 204-6 の PI 位置に接続する。

場面スイッチ 204-10 は、選正なモジュー

の 1 つのビットに対応する。メモリー・サイクルの開始即ち指令の開始と同時に、場面スイッチ 204-10 からの信号は、信号をプロセッサ 200 のデータ・インターフェース 600 の適当な回線に与える場面レジスタ 204-16 にコードされる。前述の如く、別の場面情報を含む指令は、PI 指令の場合におけるアドレス・スイッチ 204-6 の位置 2 により与えられる。

又第 2 図からも判るように、記憶セクション 204 は、WRP バスに接続されたレジスタの 1 つからアドレス信号を受取るアドレス入力 204-5 を介してアドレス指定可能なスクラッチパッド・メモリー 204-4 を含む。スクラッチパッド・メモリー 204-4 は、局内メモリー・モジュール 500 をアドレス指定するための絶対アドレスを生成する時使用される 8 つの読み込みレベルの各々に対してページ・テーブル・アドレス記憶域を与える。アドレス指定される時、スクラッチパッド・メモリー 204-4 の記憶場所の内容は、アドレス・スイッチ 204-6 の 4 位置の内の 2 つ

ルに対して指令を転送するのに使用される SLC 100 に対して場面情報を与える。レジスタ 201-15 に記憶されたマイクロ命令に与えられるフィールドの 1 つは、メモリー指令又は PI 指令のいずれかに対する適当な位置を選択する。メモリー指令に対する場面情報は、マイクロ命令に含まれるフィールドから、スクラッチパッド・メモリー 204-4 からのページ付きアドレス情報又はバス WRP から絶対アドレス情報と共に生成される。

R/W 指令に対しては、場面情報は以下の如く生成される。即ち、ビット 0 は R/W 指令に対する 2 進数であり、ビット 1 は局内/リモート・メモリーを規定しかつ PTW ビット 0（ページ付けされる）又は WRP ビット 0（絶対）に対応する。ビット 2~4 は PTW ビット 1~3（ページ付け）又は WRP ビット 1~3（絶対）に対応する。ビット 5~6 は、単相電圧 2 相電圧転送かを表示しかつ押し出し操作か読み込み操作のサイクルかを表示するよう符号化されるマイクロ命令のフィールド

に脱出される。これらの 2 つの位置は、局内メモリー・モジュール 500 のページ集合のために使用される。スクラッチパッド・メモリー 204-4 のページ付け操作は特に本図明には関連しないため、本文においてはこれ以上詳細に記さない。

アドレス・セレクト・スイッチ 204-6 の他の 2 位置はメモリー又は PI 指令を与えるために使用される。即ち、レジスタ 201-15 に記憶されるマイクロ命令ワードのアドレス範囲フィールドにより選択される時、アドレス・スイッチ 204-6 の位置 1 は R/W メモリー指令情報を生成し、この情報は、マイクロ命令ワードの予め定められたフィールドに従ってビット 0~8、およびメモリー 204-4 からのページ付けされるアドレス情報又はブロック 204-12 の作電レジスタにより出力バス WRP に与えられる絶対アドレス・ビットのいずれかに対するよう符号化されたビット 9~35 を含んでいる。スイッチ 204-6 の PI 位置が選択される時、このスイッチはプログラム可能インターフェース指令ワードを生

セクション500-17、調整回路セクション
500-6、入カスイッチ・セクション500-
8、および出力スイッチ・セクション500-10
を含む事が判ろう。出力スイッチ・セクション
500-10と入カレジスタ・セクション500-
12は、前述の如くS10100のスイッチを介
してプロセッサPO又はマルチプレクサ・モジュ
ール500のいずれかに通してデータおよび制御
信号を断続しかつこれを受取る。

第7図は更に詳細に示されたカッシエ・ストアエ・セクション500-2は、駆動する回路は経500-21を有するカッシエ500-70と、駆動する比較回路500-24を有する分岐遅延回路500-22と、ヒット論理回路500-26を図示の如く記してなる。カッシエ・ストアエは、各々が標準上公布の複数能力パイポー回路チップから選択される4つのレベル間セクションに構成されている。各レベルは、各バイト・セクションが5つのパイポー回路チップを含む8つのバイト・セクションに分割される。この回路チップ

既し、この指令ワードにおいては、ビット0は2
 進数であり、ビット1はレジスタ701-15
 に記述されるマイクロ命令ワードのフィールドに
 より与えられ、ビット2はPSRレジスタ704-
 70のビット9により与えられ、現行プロセスがあ
 るかレジスタを変更できるかどうかを決定し、
 ビット5-8はレジスタ704-70のビット4
 -7に基づきミニユーナルのポート又はサブテマ
 シナルを決定し、ビット3はSIC100により与
 えられるプロセッサの番号を指定するよう昇格化
 され、ビット4は零であり、ビット9-35はPI
 指令の絶対アドレスに決定するバスWRPのビット
 0-35と等しい。

早稲 / モリ - ・ モジューン 500 の詳細

第6図は、本発明のシステムと、本発明の動作の
要となる局内メモリ・モジュール500の要ま
しの構成例を含む三層ブロックを示す。同図にお
いて、モジュール500は、図示の如く構成され
てキャッシュ・ストア・セクション200-2、通
信記憶装置セクション500-4、入力レジスタ・

にエナジー・フロンティアのアドレス指定可能な2ビットの記憶場所を含み、チップは合計すると64ブロックのアドレス場所即ち256のアドレス場所を有し、このアドレス場所では、各ブロックは、ミワードが4バイト（バイト＝0データ・ビット－1パリティ・ビット）を含む4、40ビットワードとして記憶される。

通電記憶装置500-72は各カシエ・ブ
 ロックのアドレスを記憶し、同時に4つのレベル
 に構成される。装置500-72は、カシエの
 どのレベルが次の操作サイクルの間に書き込まれる
 べきかを決定するための通電ロビン・カウンタ装
 置(図示せず)を含む。異なるレベルのカシエニ
 は30ビットのフレームを規定し、カシエ・ブ
 ロックは7つのこのようなフレームを含んでいる。通
 電記憶装置500-72は、このようにカシエ
 ニおけるブロック数に相当する多数のフレームに
 分割されている。二重目的のためには、この
 値は公開と考えられ、R・E・ランジ(Lange)
 著の米国特許第3,845,474号に開示される構成

に抽出するものでよい。カッシエの動作サイクルの間、4つのバイトが8つのセクタ・領域の1つの番号を介して出力マルチプレクサ・スイッチ、500-10に送られる。

この記憶装置拡張部500-22はブロック500-24の比較回路にアドレス信号を与える。通常上は公知のこれ等の回路は、要求されている増幅が4つのレベルのいずれかにおけるカッパエに存在する(即ち、ヒットの存在)かどうかを検出するよう作用する。比較回路500-24は、比較の所要をブロック500-28のヒット回路に与える。このヒット回路500-28は、更に、ブロック500-6の制御論理回路に対する入力として与えられるヒット表示を記憶する。補助記憶装置セクション500-4は、補助記憶装置500-40と、タイミング回路500-48と、160ビートの出力レジスタ500-47と、データ訂正パリティ発生回路500-44と、ブロック500-46の多数の制御回路を第7図に示す如く構成されてなる。回路500-48はカク

シタおよび再転回線回路を含んでいる。これは標準上は公知であるが、メモリー・モジュール500-2の全操作を同期するためのタイミングおよび制御信号を与える。

補助記憶装置500-4は、標準上公知の4KのMOSメモリー・チップから構成され、各ワードが40ビット(32Kブロック)を有する。128Kのメモリー・ワードの容量を有する。データ修正パリティ発生回路は、補助記憶装置500-4から読出されかつこれに書き込まれるワードにかかるエラーを検出および修正するよう作用する。本発明の目的のためには、これ等の回路は標準上公知と考えられる。

第7図から判るように、入力レジスタ・セクションは、ゾーン、アドレスおよび指令(ZAC)レジスタ500-120と、第1のワード・パツファ・レジスタ500-122と、第2のワード・パツファ・レジスタ500-123を指示の如く結合してなる。ZACレジスタ500-120は、第9図に示されるフォーマットを有するZAC指令

ワードを記憶する。入力パツファ・レジスタ500-122と500-123は、リクエスタ・モジュールによりインターフェース603のDTM回路に与えられるZAC指令のデータ・ワードを受取るように接続される。レジスタ500-122と500-123の内容は、2つのマルチプレクサ・スイッチ500-9の1方の異なるバイト位置に与えられる。スイッチ500-8は又補助記憶装置から読出されてカッシー500-20に書き込まれるデータを受取る。

ZACレジスタ500-120の指令内容はブロック500-6に含まれるデコーダ・ゲート回路に与えられ、アドレス信号はブロック500-6の回路図と登録記憶装置500-22とカッシー500-20とそのアドレス指定のための補助記憶装置500-40とに配分される。

ブロック500-6の回路図は、ZACレジスタ500-120に記憶された指令により指定される操作を実行するための局用メモリー・モジュールの異なる成分を条件付けるための各種の制御お

びタイミング信号を生成する。これは、それぞれ補助記憶装置500-40に書き込まれ、又補助記憶装置500-40とカッシー500-20から読出されるデータ信号のグループを選択するため、入力マルチプレクサ・スイッチ500-8および出力マルチプレクサ・スイッチ500-10に与える配分制御信号を含んでいる。本発明の目的のためには、本文で説明される第8図の回路図の外に、マルチプレクサ又はデータ・セレクト回路およびレジスタは標準上公知と考えられ、前述のテキサス・インストルメンツ社の文献に開示される回路形態をとつてもよい。

第8図は更に詳細にブロック500-6、500-21、500-26および500-46の回路図のあるものを示す。同図において、ブロック500-6の制御回路は補助記憶装置のAND/NANDゲート500-60乃至500-74を含んでいる事が判る。ゲート500-60、500-61および500-62は、ZACレジスタ500-120からZAC指令ビット信号およびカッシー・パイバ

ス信号の異なるものを受取るよう導かれており、これ等の信号は図示の如く合成され、ゲート500-64と500-74に与えられる。その結果得られる出力ロードおよび読み込みロード指令信号は、カッシー制御回路500-21、登録制御回路500-26および補助記憶装置制御回路500-46に図示の如く与えられる。RCL00およびRR100の如き他の指令信号も又補助記憶装置500-46に与えられる。

第9図から判るように、カッシー制御回路500-21は、書き込みクロック使用可能回路500-214に対して書き込みカッシー・タイミング信号を与える並列接続されたNAND/ANDゲート500-710と500-712を含んでいる。書き込み可能回路500-214は、標準上公知の論理ゲート回路を含み、この回路は書き込み操作サイクルの進行に必要とされるカッシー500-20に対して適切なタイミング信号を与える。更に、制御回路は、補助記憶装置500-40からデータのブロックをカッシーに書き込むために必要とされる

ようなアドレス・ポイント32の範囲を修正するよう作動するAND/NANDゲート500-216乃至500-222を更に含む。

同様に、分岐制御回路等は、直列接続されたNAND/ANDゲート500-260、500-262、500-264を含み、この最後のゲートは導込み可能回路500-264に導込み登録タイミグ信号WRDR100を与える。この導込み可能回路500-266は構成上は公知の論理ゲート回路を含み、この回路は導込み操作ファイルの実行に必要な登録記憶装置500-22に対して適切なタイミグ信号を与える。

補助記憶装置要求回路500-46は、直列接続されたAND/NANDゲート500-460乃至500-468を含んでいる。これらゲートは補助記憶装置要求信号BSREQ100および可読データ信号を生成して補助記憶装置の読み出し導込み操作ファイルを開始すると共にSIU100に対する補助記憶装置データの転送を許可する。

第8図の最後の回路グループは第7図のヒット・

特開 昭53-84632(21)

レジスタ回路を構成する。この回路は表示回路に接続されたANDゲート500-281のみにNAND/ANDゲート500-280と500-282を含む。このNAND/ANDゲート500-280は、比較回路500-24からその両端の比較信号を受取り、ゲート500-282に対して登録値比較の表示を与える。ゲート500-282の出力は更にヒット・レジスタ・フリップフロップ500-284のセット入力端に入られる。NAND/ANDゲート500-284は、フリップフロップ500-284のリセット入力端を導出しかつこれに与えるSIU100からの受入れZAC信号を受取る。フリップフロップ500-284からの2進数1および零の出力信号は、その後第8図に示された論理ブロックの異なるものに配分される。

システム・インターフェース装置100の構成 初込みセクション102

システム・インターフェース(SIU)100は、前述の如く、埋込値のクロスバー・スイッチを介

して第1図のシステムの基本モジュール間の通信を行う。モジュールの基本インターフェースの回路から信号を調べるため別個のクロスバー・スイッチが使用される。第3図は、モジュール初込みインターフェースを処理するための初込みセクション102のスイッチおよび回路を示す。第1図のシステムにおいては、その各々がその初込みインターフェース602の回路図を介してSIU100に出力信号を与えるポートLMO、A、E、GおよびJに接続するモジュールがある。更に、SIU100は又第1図のポートIと関連する初込みインターフェースを介して信号を与える。

第3図から判るように、サービスを要求する時、各モジュールは、初込み優先順位および制御ブロック101-2の回路図に与えられるそのIDA回路における導込み識別子情報と共に、その初込み要求(IRR)回路に信号を与える。ブロック101-2の回路図は、全ての初込みインターフェースをモニターし、実行中のプロセスよりも高い優先順位を有する要求がある時、プロ

セサ200に対応する導込みプロセスに信号する。プロセサ200がこの要求を受入れる事ができる事を信号する時、SIU100は、優先順位の高い要求と関連する識別子情報をプロセサ200に対してゲートする。この識別子情報は、パリティ・ビットを含む8ビットの初込み制御ブロック番号と、3ビットの初込みレベル番号と、パリティ・ビットと4ビットのチャネル番号を有する1ビットのプロセサ番号を含んでいる。

更に詳細に初込みセクション102について考へれば、ブロック101-2の回路図は、プロセサ番号および初込み要求信号を復号するデコード回路を含んでいる。パリティ・エラーがなければ、デコード回路からの出力信号は表示されたプロセサの論理回路の優先順位論理回路に与えられる。この優先順位論理回路は、初込みレベル番号を復号し、最優先レベルを決定し、次いでポートの優先順位を決定しその結果最優先順位レベルと最上位のポート順位を有するモジュールが選択される。与えられたレベルにおける初込み

ポート単位は下記の如くである。

オールD:ポートL:ポートA, ポートB, ポートC:ポートD:ポートE:ポートF, ポートG:ポートH:ポートJおよびポートK,

この事は、第1図のシステムにおいては、現行プロセスのポートが最優先順位を有し、これに次いでSIU100、高速マルチプレクサ300、上位プロセッサ700、プロセッサ200、および低速マルチプレクサ400となる事を意味する。

ブロック101-1-2の優先順位回路は、n個の二重時の1つに出力信号を生じるように作動する。但し、nはシステム内の前込みモジュールの数である。n個の出力回路は、レジスタ101-6にコードされるべき現在進行中のレベルより高い優先順位を有する前込みレベルの前込みレベル信号を選択する8位値のデータ・セレクタ・スイッチ101-4に与えられる。レジスタ101-6からの出力信号は、高レベル前込み存在(HLIP)回路又はレベル零存在(LZP)回路の何れに2進数1に強制するSIU100に伝送してプ

特開 53-84632:22

ロセッサ200がIDR 回路を2進数1に強制する時、ALL 回路に与えられる。現行プロセスが前込みを要しない場合、前込み要求はプロセッサ200に現行プロセスを中断させ、前述の優先順位信号を含むSIU100からの前込みワードを受入れさせる。更に、この前込みワードは下記の如く形式化される。即ち、

ビット0は新たな前込みビット位置である。2進数1にセットされる時は前込みが新しいものである事を示し、2進数0にセットされる時は前込みが再発されるべき前に前込みが行われたプロセスでの前込みであることを示す。

ビット1-17は使用されず、2進数0である。

ビット18-27は前込み制御ブロック番号を規定し、ビット18と27は2進数0にセットされる。

ビット28-31はSIU100により生成され、本説明により本文に説明するようにソース・モジュールを識別する。

ビット32-35は要求ポートを有するモジュ

ールにより生成され、本文に説明するように本説明よりソース・モジュール内のサブチャネル又はポートを識別する。

ブロック101-2の優先回路の構成に照してこれ以上の詳細を記せば、本文の簡潔性損に及ぼした「優先回路前込みハードウェア」なる名称の図中の説明を参照されたい。

又、前込み優先順位回路101-2からの出力回路は別のデータ・セレクタ・スイッチ回路101-8に与えられる事も出来るであろう。最優先順位を有する要求側のモジュールのみがセレクタ回路101-8に信号を与えるため、セレクタ回路は、優先順位を与えられたモジュールのみが選択する前込みポート(即ち、前込みワードのビット28-31)を識別する子の定められたワイア・イン・セメントの符号化回路信号を与えるように構成されている。

同様の意思で分けては、下記の符号コードが第1図のモジュールの識別のために生成される。即ち、

コード	識別されたSIUポート(モジュール)
0000	局域メモリ・モジュール・ポートLNO
0001	ポートK
0010	SIU100-ポートL
0101	低速マルチプレクサ400-ポートJ
0110	プロセッサ200-ポートG
1101	高速マルチプレクサ300-ポートA
1110	上位プロセッサ700-ポートE

セレクタ回路101-8により生成された4ビット・コードは、更に、ゲート回路101-12に与えられる公和のANDゲート回路のグループに与えられる。別のソース・システムにより与えられた他の優先順位信号は又回路101-12の他のゲート回路で与えられる。次に、各モジュールは、前込み制御ブロック番号(ICBN)をそのIDA 回路を介して8位値のデータ・セレクタ・スイッチ回路101-14の別の1つの位置に与える。更に、各モジュールは、ソース・モジュールの要求側のサブチャネル又はポートを識別する情報

を前記インターフェースのIMID回路を介して回路網101-12のデータ回路の別のものに与える。プロセッサ200がその前記データ要求(DDR)回路を2進数1に強制する時、SIU100はデータ回路網101-12からの信号を、4位量のデータ・セレクタ・スイッチ回路101-20のうちの1つを介してプロセッサのデータ・インターフェース600のSIU(DFS)バス回路からのデータに与える。スイッチ101-20の他の位置は、本発明の回路に開通しないことを示さない。
データ転送セクション102

第3図はシステム・インターフェース100のデータ転送セクション102を示す。このセクションは、どのソース・モジュールがそのプログラム可能インターフェース601上の高速度マルチプレクサ300に指令を送信するか、又どのソース・モジュールがそのデータ・インターフェース600上のマルチプレクサ300に対してデータを送信するかを決定する優先順位回路を含んでいる。更に、セクション102は、どのソース・モ

ジュールがデータ又は指令のいずれかを要求・メモリ・モジュール500に転送しているかを決定する優先順位回路を含んでいる。

1つのモジュール間の転送は一方のモジュールが他方のモジュールに対し要求を生成した時に生じ、又この要求は他方のモジュールにより受け入れられる事が判るであろう。要求が受け入れられるのは、要求側のモジュールは優先順位を得た後ならず、両方のモジュールは情報を受取る状態になければならず、転送が生じる転送経路が使用可能(即ち使用でない)でなければならぬ。

プロセッサ200によりセクション102に与えられる信号に照しては、これら信号の発生は大きな割合で第2図のプロセッサ・レジスタ201-15に現出されるマイクロ命令の異なるフィールドにより左右される。例えば、ブロック102-4の経路網に与えられるプロセッサ200からの活動出力ポート要求(AOPR)は、現出し/書き込みメモリ又はプログラム可能インターフェース指令の転送を規定するよう符号化されるレジスタ201-

15に現出されたマイクロ命令のSIU要求タイプ制御ビット・フィールドに従って使用可能の状態となる。2位量のデータ・セレクタ・スイッチ102-2に与えられたプロセッサ・データ・インターフェース600の前SIUデータ回路(DTS)は、第2図のプロセッサのデータ出力レジスタ204-14にロードされるマイクロ命令制御下で生じる指令情報を生成する。前SIU 後向きデータ(SDTS)回路は、第2図のプロセッサ後レジスタ204-16にロードされるマイクロプログラム制御下で生じた信号を受取る。

第1図のシステムに於いては、I/Oプロセッサのみがマルチプレクサ300のみに指令を送信し、プロセッサ200が回路網102-4に信号を与える。従って回路網102-4はデフォルト回路を含み、この回路はプロセッサ・モジュールがマルチプレクサ300に対して指令の転送を欲する時点を確認するためのプロセッサ・モジュールからの検出情報を受取る。1つ以上のモジュールが同一のサイクル中に転送を欲する時、1つ以上のI/Oプ

ロセッサの場合には、回路網102-4に含まれる優先順位回路網は、優先順位を期当てられたモジュールを選択し、そのプログラム可能インターフェース601のPDFS回路上のマルチプレクサ300に対する前記モジュールによる指令の転送を可能にする。更に、回路網102-4は、通常のモジュールからの信号を選択する2位量のセレクタ・スイッチ102-2に信号を与える。この状態は、マルチプレクサ300がPIR回路を2進数1に強制する事により指令を受け入れる用意がある事をSIU100に対して信号する時に生じる。同時に、回路網102-4はAPC回路を2進数1に強制してマルチプレクサ300に対しPDFSに与えられた指令を受け入れる事を促す。プロセッサ200がマルチプレクサ300に対してプログラム可能インターフェース(PI)指令を送る命令を実行する時、プロセッサ200は命令のビット3にプロセッサ番号の識別を置く。マルチプレクサ300は、プロセッサ番号が前述の如く前記データの一環として含まれる前記要求を受す

る事を欲する迄指令に含まれるプロセッサ番号を記憶する。PI 指令がマルチプレクサ 300 に到達される時、リクエストとしてプロセッサ 200 を識別する信号情報はマルチプレクサ 300 (ポート A) と関連するレジスタ 102-6 に記憶される。前述の如く、マルチプレクサ 300 が SIU 100 に対する読出しデータ転送要求を生じる事により応答する時、レジスタ 102-6 の内容はデータを受取るための直前のモジュールとしてプロセッサ 200 を通知するために使用される。

同様な機能がデータ番号をマルチプレクサ 300 に転送するために使用される。第 1 図においては、メモリー・モジュール 500 は、データをマルチプレクサ 300 に転送する唯一のモジュールである。このような転送は、前述の如く回路網 102-20 を介してマルチプレクサ 300 によりメモリー・モジュール 500 に到達される読出しメモリー指令 (ZAC) に応答して生じる。マルチプレクサ 300 が指令を到達する時、SIU 100 は、マルチプレクサ 300 から受取るマルチポ

ト識別子情報に従って適当な 4 ビットのリクエスト識別コード (信号コード) を生じる。この情報は、メモリー・モジュール 500 により記憶され、モジュール 500 が読出しデータ転送要求を生じる時 SIU 100 に戻されて、マルチプレクサ 300 がデータを受取る。又、SIU 100 が要求を受入れる時、これは回路 ARDA を 2 進数 1 に強制する事によりマルチプレクサ 300 に通知する。

読出しデータ転送要求 (RDTR) 回路は、メモリー・モジュール 500 により生成される時、回路網 102-14 に対して 1 操作サイクルの遅延出された情報を転送する用意がある事を信号する。局域メモリー・モジュール 500 は又、信号をメモリーからのリクエスト識別子 (RIFM) 回路に与えて、情報が転送されるべき要求側のモジュールを識別する。

更に、デコード回路網 102-14 内訳の回路網は RIFM 回路に与えられた識別信号を復号し、局域メモリー・モジュール 500 が情報をマルチ

プレクサ 300 に転送する用意がある (マルチプレクサ 300 は情報を受取る用意があるものとする) 事を信号が指示する時、デコード回路網 102-14 は適当な信号をセレクタ・スイッチ 102-12 かびゲート回路網 102-16 内訳の回路網に与える。

更に、デコード回路網 102-14 はデータ・インターフェースの読出しデータ受入れ (ARDA) 回路に信号を与えて、マルチプレクサ 300 に対してこれがそのインターフェース 600 の SIU (DFS) 回路からのデータを受入れる事を信号する。プロセッサ 102-16 の回路網は SIU からマルチポート識別子 (MIPS) 回路に対して適当なマルチポート識別子情報を与えて、RIFM 回路から与えられる要求側のサブチャンネルを識別する。転送が生じると、回路網 102-14 は RDAA 回路を 2 進数 1 に強制して、データがメモリー・モジュール 500 により受入れられた事を要求側のモジュールに信号する。

回路網 102-14 に類似した構成を SIU 100

に用いて第 1 図のモジュールのどれかからの PI 指令およびメモリー指令を局域メモリー・モジュール 500 に転送する。モジュール 500 は、プログラム可能インターフェース又はメモリー指令のいずれかを受入れる用意のある時、デコード回路網 102-20 に与えられるプログラム可能インターフェース要求 (PIR) 回路又は ZAC インターフェース要求 (ZIR) 回路のいずれかを 2 進数 1 に強制するように作用する。更に、プロセッサ 200、プロセッサ 700 かびマルチプレクサ 300 は、回路網 102-20 の信号を活動出力ポート要求 (AOPR) に、又後述データをその信号のデータ・インターフェースの SIU 回路に与える。回路網 102-20 は、各モジュールにより与えられる信号情報の複合と同時に、メモリー・モジュールのデータ・インターフェース 600 の SIU 読出しデータ転送回路に対して信号を最優先順位を与えるモジュールに与えさせるための 3 位置のセレクタ・スイッチ 102-24 に適当な信号を生じるよう作用する。又、ゲート回路網 102-26

を介してメモリ・モジュール・インターフェース603のメモリ要求識別子(RITM)回路上の適当なリクエスト識別信号と共に、プログラム可能指令受入れ(APC)回路又はZAC指令モード受入れ(AZC)回路のいずれかに対して回路102-200が信号を与える事も判ろう。

最後の2つの回路102-300および102-400は、それぞれプロセッサ200により前記生成されたメモリ・指令およびPI指令に基いて、メモリ・データおよびプログラム可能インターフェース・データをプロセッサ200に対して転送するために使用される。第3b図から判るように、優先順位デコーダ回路102-300は、回路102-14と同じ入力回路を有し、同じ方法で第3a図のデータ・セレクタ・スイッチ102-32と4位置セレクタ・スイッチ101-20を介して要求されたメモリ・データをプロセッサ200に転送するよう作用する。プロセッサ200は同時に1つの指令を処理するため、プロセッサ要求に基いてプロセッサのDFS回路に転送するた

めにデータをセレクタ・スイッチ101-20に与えるモジュール間には競合が生じない事が判ろう。即ち、プロセッサ200が第1a図のモジュールの1つに指令を送つた後、その指令は実行されて要求されたデータの受取りを促す。SIU100は、プロセッサの要求の受入れと同時に、プロセッサに遅延動作を要するプロセッサのARA回路を強制する。

別の回路102-400は、PI指令に基いてモジュールからの戻りデータ転送を処理する。回路102-400は、表示しないモジュールのレジスタと共にレジスタ102-6からRDTN回路に与えられる信号を処理する。モジュールが要求されたデータをプロセッサ200に送るとしてゐる事(即ち、マルチプレクサ300のレジスタ102-6に記憶されたリクエスト識別子)をSIU100が検出する時、回路102-400は、プロセッサ200に対して要求されたデータを送るとするモジュールのPIインターフェースのPDTN回路からの信号を与えるよう3位置データ・

セレクタ回路102-42を条件付ける信号を生じる。これら信号は、更に、モジュール要求信号により条件付けられる第3a図のセレクタ・スイッチ101-20を介してプロセッサのDFS回路に与えられる。次の操作サイクルの間、回路102-400はRDAA回路を2進数1に強制し、PDTN回路に与えられたデータが受入れられた事およびモジュールがこの類のようなデータを検出(その出力レジスタをクリア)できる事をモジュールに対して信号する。このように、スイッチ101-20は3つのタイプのデータのどれでもプロセッサのデータ・インターフェース600のDFS回路に選択的に与える事が判る。

本発明の目的のためには、第3b図の各ブロックに内蔵される回路は、構造上は公知と考えられ、テキサス・インスツルメンツ社の特許文献に見出される論理回路を基いてもよい。又、本発明の目的のためには、第4図回路は公知のクロスバー・スイッチでもよい。

高速マルチプレクサ300

共通セクション

第4図は更に詳細に共通セクション301とチャネル・アダプタ・セクション302の一端を示す。第4図において、共通制御セクションは、2位置データ・セレクタ・スイッチ301-1を経てマルチプレクサのプログラム可能インターフェース601のPDFS回路を介して受取つたPI指令のワードを記憶するための1対のレジスタ301-2と301-5を含んでいる事が判る。スイッチ301-1は、別の経路(即ちDFS回路)からのPI指令信号をレジスタ301-2と301-5にロードさせる。然し、望ましい実装態様においては、PDFS回路のみを使用する。又、レジスタ301-4はドライバー回路301-3を介してインターフェース600のマルチプレクサ・データのDFS回路に与えられたメモリ・データを受取る事も判る。

而してレジスタ301-2と301-5から共通信号は、ブロック301-8のドライバー回路を介

して4つのチャンネル・アダプタ・セクションの2位データ・アダプタ・スイッチ301-6を経て選択的に与えられる。又、指令信号は、2位データ・セクタ・スイッチ301-42を介して8位データ・セクタ・スイッチ301-20の1位目に選択的に与えられる。同じスイッチ301-42も又、レジスタ301-40からブロック301-43のドライバ回路を介して4チャンネル・アダプタ・セクションの各々にデータ信号を与える。

1次のパリティ検査回路301-45と301-47は、レジスタ301-2と301-5と301-40の内容に対する検査を行い、その結果を表す信号をCスイッチ301-50に与えられる状況信号を生じるブロック301-4の論理回路に与える。これ等の回路は構造上は公知の論理回路をきみ、この回路はレジスタ301-2からの信号をチャンネル・アダプタ・セクションからの信号と合成して、プロセッサ200から受取る指令を実行するのに必要な制御信号を生成する。

14ビットの駒込みデータ(IDA)レジスタ301-22に選択的に接続される。ブロック301-12の24ビット・レベル・レジスタの各々のグループのビット位置は、9位量のマルチプレクサ選択スイッチ301-26乃至301-28の別の1つの対応する位置に与えられる。又、ブロック301-12の各レベル・レジスタは、4位置セクタ・スイッチ301-30と8位置セクタ・スイッチ301-32の異なる位置に接続する事も出来るであろう。又、ブロック301-14の8ビット・マスク・レジスタの各々は、4×8セクタ・スイッチ301-32の異なる位置と、ブロック301-34の駒込み可変優先順位およびタイプ検出回路に接続する事も出来る。

第4図からわかるように、ブロック301-34の検出回路は、チャンネル・アダプタに取付けられたコントローラ・アダプタにより与えられる駒込み信号群の他に、チャンネル・アダプタから駒込み要求信号群を受取る。更に、各々のチャンネルは4つの異なるタイプの駒込み要求を生成できる。

特開 53-8463226

更に、レジスタ301-5からの信号は又、ブロック301-8、301-15および301-16のドライバ回路を経てブロック301-10、301-12および301-14の複数のレジスタの選択された1つにロードし通る。ブロック301-10は、構造上は公知であり、前記のキャプス・インストールメソッドの文獻(例、TI7481)に開示されたレジスタ物理をとり通る4つの8ビット・レジスタからなる。これ等レジスタの各々からの出力信号は、4位置セクタ・スイッチ301-30と8位置セクタ・スイッチ301-32からの対応する信号と共に、セクタ・スイッチ301-20の駒込み位置に対して入力として選択的に与える事ができる。チャンネル・アダプタ・セクションのICB、レベルおよびマスク・レジスタの内容は、PI指令に responding テストおよび検査操作の管理中に提出する事ができる。

更に、ブロック301-10の駒込み制御ブロック・レジスタは、駒込みレベル優先順位回路301-24により生成された信号に responding

これは、開示しない異常状況レジスタ内のパリティ・エラー・インジケータ・ビットのセンシングにより生じる異常駒込みを含み、前記レジスタは、ブロック301-4の一版、データ制御ワード(DCW)駒込み、プログラム可能駒込み、および遠征指令等の検出により生じる例外駒込みとして考える事ができる。異常駒込みは、4つの全てのチャンネルに対して同じであるブロック301-34に対して1つの入力を有するように各チャンネルに共通とされている。

各コントローラ・アダプタも又、アダプタに接続された装置のタイプに依存する4つの異なるタイプの駒込み要求を生じる。ディスク装置の場合には、駒込み要求のタイプは下記のものをきむ。即ち、パリティ・エラーの検出により生じる異常駒込み、回転位置を感知する駒込み、データ転送終了駒込み、およびシーク操作の加減オフ・ライン操作の完了により生じるオフ・ライン駒込みである。この4タイプのチャンネル駒込み要求および4タイプのCA駒込み要求は、一緒に信号EV0

乃至EV7と表わされるCAチャンネル毎に8タイプのグループを定める。各タイプの割込み要求は、4つのチャンネル・タイプの割込み要求がEV0～EV3に対応する0～3の番号を付し、4つのコントローラ・アダプタ・タイプの割込み要求がEV4～EV7に対応する4～7の番号を付されるように3ビット・タイプの番号が割当てられている。最下位のコードを有する番号は、最優先順位を有する（例えば、000＝最優先順位＝EV0＝標準割込み、111＝最優先タイプ＝EV7＝サブ・ライン割込み）。異なるタイプの割込み要求の優先順位は固定され、タイプ番号により決定される。各チャンネルは、ブロック301～4により与えられる共通電源入力と共に、ブロック301～34に対する7つの割込み要求入力を与える。

ブロック301～34の回路は、ブロック301～14のマスク・レジスタの各々からの信号を、各チャンネルおよびアダプタからの割込み要求信号と論理的に合成し、各チャンネルに対す

る最優先順位を有する割込みタイプを選択する。各チャンネルに対する3ビットのタイプ・コードは、マルチプレクサのセレクタ回路301～25乃至301～28の対応する1つに与えられる。ブロック301～34により生成されたタイプ・コードの値も又、位置のレベル・タイプ・セレクタ・スイッチ301～35の位置に対応するものに対して入力として与えられる。

各マルチプレクサ回路301～25乃至301～28は、ブロック301～34の信号により使用可能にさせられると可能に、割込みレベル優先順位回路301～24に対する入力として適切な3ビットのレベル・コードを与える。回路301～24は1対の回路に信号を主じ、この回路は、ブロック301～10のICBレジスタに対する制御入力として、スイッチ301～35と、4桁の割込みマルチポート識別子IMIDスイッチ301～36を接続する。回路301～24により生成された信号は、最優先順位を有するチャンネル又はポートを表示する。1つ以上のチャ

ンネルが同じ優先順位を有する場合には、回路301～24の回路は最下位のチャンネル番号を割当てられたチャンネルを選択する（即ち、CA0＝00XX＝標準優先順位、CA3＝11XX＝最下位優先）。コントローラ・アダプタがサブチャンネル又はポートを有する場合、CA1からの1対の信号はスイッチ301～36の下位の2ビット位置に信号を与える。スイッチの上位の2ビット位置は、対応するチャンネル・アダプタ番号（例えば、00＝CA0、等）を恒久的に与える。スイッチ301～36の出力は、図4aに示される如くIMIDレジスタ301～23に与えられる。

ブロック301～10の生成されたICBレジスタからの出力信号、選択されたマルチプレクサ回路からのレベル信号、およびブロック301～34からのタイプ信号は、IDレジスタ301～22で合成される。又、これらの信号は、レジスタ301～22に記憶される信号に対する1対の非反変ロリタイ・ビットを生成するブロック301～

37のロリタイ発生回路に与えられる。レジスタ301～22の一般と考えられる次のフリップフロップ301～21は、ブロック301～34の回路から信号を受け取り、割込み要求の存在を表示する。

図4図から明らかなように、ビット・レジスタ301～40に記憶されるデータ信号は、2桁データ・セレクタ・スイッチ301～42のHレジスタ位置を介して2桁のチャンネル番号（CW）スイッチ301～44に与えられる。スイッチ301～44の第1の位置は、セットされる時、ブロック301～48の優先順位選択制御回路により生成される信号に基いて選択された4グループのチャンネル・アダプタ・ポート・レジスタ301～46の1つをロードする。レジスタ301～2と301～48および必要としたチャンネル・アダプタから信号を受けるブロック301～48の回路は、出力信号を回路および出力レジスタ301～45に与える。グループ301～46のレジスタは、関連するポートのリスト・ポイン

ワード (LPW) を記憶するための 40 ビットのレジスタと、読出し又は記憶されるべきデータのアドレスを記憶するための 40 ビットの DA レジスタと、現行データ転送操作に関するエラーおよび制御情報を記憶するための 40 ビットのレジスタ DT を含む。4 つのチャンネル・アダプタ・セクションの各レジスタは、ブロック 301-48 の返答からデータを受取る 4 位置のデータ・セレクト・スイッチ 301-50 の異なる位置に接続する。スイッチ 301-50 から 4 つの情報は、エラーを求めて内容を検索するための作用するパリティ検査回路 301-56 に送られて、1 対の返答回路 301-52 と 301-54 に与えられる。返答回路 301-52 はスイッチ 301-50 を介して選択されるレジスタの内容を更新するよう作用するが、返答回路 301-54 はデータ情報をパリティ検査回路 301-58 に与える。回路 301-52 と 301-58 からの情報は、スイッチ 301-44 の更新回路制御信号を介して選択されたレジスタに送られる。

各情報は、PI データ情報およびチャンネル・アダプタ・データ情報を記憶する。これらのレジスタからの出力情報は、マルチプレクサのデータ・インターフェース 600 の DTS 回路又はマルチプレクサ・インターフェース 601 の PDTS 回路のいずれかに与えられる。ブロック 301-64 の ZAC レジスタがロードされる時、この状態は AOPR フリップフロップ 301-65 を 2 進数 1 に切換えさせて、マルチプレクサはメモリー (ZAC) 指示およびデータの転送が可能な状態を要求している事を SIU100 に信号する。スイッチ 301-50 を介して与えられる適当なメモリー・場面情報はレジスタ 301-60 に記憶され、パリティ検査回路 301-66 は検出情報のための許容パリティを発生するよう作用する。

作用例

本発明のシステムの作用については、第 1 図乃至第 11 図に基づいて以下に説明する。簡単に説明すれば、モジュール 500 は、以下の如く構成される 5 つの異なるタイプの ZAC 命令の処理が可能

である。図 4 図から判るように、スイッチ 301-50 の出力情報は、場面スイッチ 301-50 を介して 8 ビットの場面レジスタ 301-60 と、DT スwitch 301-20 に対して選択的に与えられる。データ・セレクト・スイッチ 301-50 と 301-61 の各々は、前述のソースに与えられたチャンネル・アダプタ・セクション CA0-CA3 の DF 回路からデータ情報を受取るように接続される DT スwitch 301-20 から出力情報を受取る。DT スwitch 301-20 と ZAC スwitch 301-61 からの出力情報は、パリティ検査回路 301-62 とブロック 301-64 のレジスタ・バンクに与えられる。更に、スイッチ 301-61 は、マルチプレクサ 300 が本発明と関係のない専用モードで動作される時、ブロック 301-4 に与えられるチャンネル・アダプタ・サービス回路から与えられるゾーンおよび指令情報を受取るよう接続されている。それぞれ ZAC、PDTS、データ 1、データ 2 と表示されるブロック 301-64 の 4 つのレジスタは、メモリー指

である。即ち、

1. 読出し操作

アドレス指定されたメモリー・ロケーションの内容 (1 ワード) が読出されてリクエストに送られる。メモリー内容は変更されない。ZAC ビット 0 はカッシーがロードされるかバイパスされるかを現示する。然し、もしこのブロックが既にカッシー内でロードされていれば、読出しサイクルがカッシー内で行われ情報がカッシーから取出される。

2. 読出しノクリア操作

アドレス指定されたメモリー・ロケーションのデータ (1 ワード) が読出されリクエストに送られ、メモリーの場所 (1 ワード) は適正なパリティ (即ち EDAC) ビットで常にクリアされる。アドレス指定されたワードを含むデータ・ブロックはカッシーにロードされない。もしこのブロックが既にカッシーにおいてロードされていれば、アドレス指定されたワードも又カッシー内で常にクリアされる。

3. 読出し指令

メモリー・場所(ワード)のアドレス指定された対の内容が読出されてリクエスト・ワードに送られる。メモリー・内容を更変されない。
ZACビット9は、カッシュがコードされるかバイパスされるかを決定する。然し、もしこのブロックが既にカッシュ内でコードされていれば、読出しサイクルがカッシュ内で行われ、増幅がカッシュ内から取られる。

4. 書き込み指令

リクエストにより与えられるデータ・ワードの1乃至4バイトにアドレス指定されたメモリーの場所に記憶される。記憶されるべきバイトはゾーン・ビットで指定される。ゾーン・ビット5、6、7および8はそれぞれバイト0、1、2および3を指定する。記憶されないバイト位置のメモリー内容に更変されずに止まる。

5. 書き込み指令

リクエストにより与えられる2つのデータ・ワードは、アドレス指定された対のメモリーの場所

に記憶される。

異なるZAC 指令に対する特定のコードは下記のとおりである。他の可能な11のコードが過剰として規定され、本文に述べるようにエラー・信号を生じる。

指令	ゾーン	カッシュ・バイパス ビット	
1 2 3 4	5 6 7 8	9	
0 0 0 0	0 0 0 0	1/0	読出し
0 0 1 0	0 0 0 0	-	読出し・クリア
0 1 0 0	0 0 0 0	1/0	読出し・増
1 0 0 0	0 0 0 0	-	書き込み(ゾーン化)
1 1 0 0	1 1 1 1	-	書き込み

例えば、対P0のプロセッサ200の一方が局外メモリー・モジュール500の照会を指定する一連のプログラム命令の実行を開始するよう作用するものとして。この場合、最初の命令と次の命令は、増幅値を記憶する汎用レジスタを指定する少くとも1つのフィールドとアドレス・シラブルを含む別のフィールドを含むように書式化される。汎用レジスタ

の増幅値の内容は、2進数にセットされたものと仮定されるバイパス・ビット9の状態を決定する。プロセッサ200はこの増幅を合成して絶対アドレスを生じる。

絶対アドレスが一連計算されると、プロセッサ200は、所望のメモリー・指令ワードと、局外メモリー・モジュール500に対して指令を指向するその適当なSIU 増幅値を生じる。この増幅値と指令は、第9図に示すフォーマットを有する。

前述の事について更に詳細に考察すれば、各命令のOPコードは、ZAC指令の生成により生成されるメモリー・照会性を指定するよう符号化される。第1の命令のOPコードは、命令レジスタ・スイッチ202-4によりメモリー・場所の1つを照会するメモリー・ワード201-2に与えられる。場所の内容は、レジスタ201-4に送られ、命令処理に必要なマイクロ命令・ブロックの制御ストア201-13における記憶アドレスを指定する1対のアドレスを含む。

現行命令の実行中に開始する命令処理の最初の相の間、次の命令の増幅ビットは、スイッチ203-14の位置3(即ち、Lev. XR1)を介してスクラッチパッド・メモリー203-10の汎用レジスタの場所の指定された1つをアドレス指定するために使用される。この場所の内容はバス203-16に送出される。

増幅レジスタの内容は、スイッチ203-20の位置0を介して加重回路204-2のAオペランド入力に与えられ、命令の定数フィールドはスイッチ204-1の位置0を介して加重回路204-2のBオペランド入力に与えられる。この2つで一様に加重され、その結果はスイッチ204-8を介して汎用レジスタR2に転送される。指定された増幅の第2のレベルが存在する時、第2の汎用レジスタの場所に記憶された増幅をレジスタR2における前に記憶された増幅に加重する同様な操作が行われる。ビット9に対する適当な数値が、第1の汎用レジスタにおけるよりも第2の汎用レジスタにおいて記憶され得る事が容易に判る。

である。

命令の実行相の間、プロセッサ 200 は、出力し動作を指定する局所メモリ 500 に対して ZAC 命令を生成するよう作用し、メモリ 204-4 または R2 レジスタのいずれかから与えられる適当なメモリ・アドレスを与える。絶対アドレスを指定すれば、レジスタ R2 からのアドレスは WRP バスに与えられ、アドレス・スイッチ 204-6 およびクロス・バー・スイッチ 204-9 の R/W 位置を介してデータ・アウト・レジスタ 204-14 にコードされる。

絶対スイッチ 204-10 は、メモリの操作サイクルに対して SIU 動作作用を与える。信号は第 9 図のフォーマットを有し、R/W 命令を局所メモリ・モジュール 500 または、モジュール 500 が接続するポート LMO に伝送するために SIU100 により使用される情報を与える。これはマイクロプログラムの制御下にあつて、レジスタ 201-15 から、又絶対スイッチ 204-10 の R/W 位置を介してアドレス・スイッチ 204

1-8 から絶対レジスタ 204-16 のビットに値 0-8 にコードされる。

マイクロ命令フィールドの符号化、および動作情報の生成に関するこれ以上の詳細については、「バイス・ファイン・システム」および「メモリ・アクセス・システム」なる名称の係属中の特許出願を参照されたい。

絶対レジスタ 204-4 と 204-16 のコーディングに関して、プロセッサ 200 は AOPR 回線を 2 進数 1 に強制し、この状態が R/W 命令を局所メモリ・モジュール 500 に伝送するための情報・ゲートを開放する。又、プロセッサ 200 は命令カウンタ (IC) を増分し、その結果を作業レジスタ R3 に記憶する。次にプロセッサ 200 は、ARA 回線を介して要求の受入れを表示する SIU100 から信号を受取る次のマイクロ命令の実行を継続させる。

SIU100 は、1 対の SIU サイクル、即ちデータ・サイクルが続くアドレス/命令サイクルを要求する如く R/W 命令を調整する。局所メモリ

モジュール 500 が命令の受取りの用意があるものとすれば、ZIR 回線は 2 進数 1 である (第 11 図において、字形は負の論理信号の形で示される)。第 3 b 図の SIU 優先順位回線 102-4 は、SIU セレクタ・スイッチを介して指令ワードを動作サイクルの間局所メモリ・インターフェース 602 の DTM 回線に与えるよう作用する。プロセッサ 200 は、SIU100 が ARA 回線を 2 進数 1 に強制する迄、データ・アウト・レジスタ 204-14 に情報を伝送して待機する。同時に、SIU100 は AZC 回線を 2 進数 1 に切替えて、R/W 命令の受入れをモジュール 500 に対して信号する (第 11 図参照)。

ARA 回線における状態の变化の検出と同時に、プロセッサ 200 はマイクロ命令の制御下で命令の処理を終了する。即ち、プロセッサ 200 は、要求されたデータ・ワードが前述の如く SIU100 から受取られる迄待機する。

ここで、メモリ・命令は出力し動作を指定するよう符号化され、バイパス・ビット 9 はカッ

スエ 500-20 がバイパスされないがロードされる (即ち、ビット 9 = 0) 事を指定するよう符号化されるものとする。前述の如く、ビット 9 の状態は出力し動作命令および処理用命令の場合にカッスエ 500-20 のローディングを制御する。

第 11 図および第 7 図においては、ZAC 指令ワードの命令およびアドレス・データが、時点 1 T (即ち、システム・クロック・パルス 1 T が 2 進数 1 から 2 進数 0 に切替る時の後縁) における AZC 回線からの信号 AZC100 に応答して ZAC レジスタ 500-120 にロードされる事が判る。ZAC レジスタ 500-120 に記憶される DTM 回線 17-33 からのアドレス信号は、第 7 図に示す如く、発信元記憶装置 500-22 と発信源比較回路 500-24 に対して入力として与えられる。

更に、DTM 回線 26-32 に与えられるアドレス信号は発信源記憶装置 500-22 をアドレス指定するためのプロノク・アドレスとして使用され、回線 DTM17-17 に与えられるアドレス信

号は、登録済書き込み操作の場合に登録済記憶装置 500-22に書き込まれる番号に一致する。登録済比較回路 500-24に与えられる同じアドレス番号は、データブロックが既にカッシー 500-20に存在するかどうかを判定するために使用される。

又、当該DTM17-53に与えられるアドレス番号は又、データがカッシー 500-20に存在する事が見出されない時これからのデータのブロックから抽出するための補助記憶装置 500-40に与えられる事も判るであろう。

第11図から、登録済記憶装置 500-22の時常がもし要求された情報が既にカッシー 500-20に記憶されていたかどうかを判定するため即時開始される事が判る。この検索操作は、クロック・パルス1Tと2Tの間で行われる。この意味では、プロセサ200により要求される情報は全くカッシー 500-20に存在しないものと仮定する。

第8図においては、ブロック 500-6の回路

信号RDLOAD100を2進数1に強制する。

信号RR100とHIT000はゲート500-460を条件付けして出力し又は未常信号RD/MISS000を2進数零に強制する。これは、ゲート500-462をして補助記憶装置の指令信号BSCMD100を2進数1に強制する。出力し指令が有効である(即ち、適正なコードおよびフォーマット)を仮定すると、信号TCERROR000は2進数1である。従つて、補助記憶装置のタイミング信号SLO4T/NSLO2T100の発生と同時に、ゲート500-464は補助記憶装置の要求信号BSREQ100を、タイミング・パルス1Tと2T(第11図参照)間の時間間隔において2進数1に強制するよう作用する。これは補助記憶装置 500-40に対してメモリー操作サイクルの開始を信号する。

このような要求に応じて、補助記憶装置 500-40は出力パルス 500-42に対する160ピコ秒のデータを抽出するように作用する。このデータは、第11図に示す如くタイミング・パルス

群がZAC指令のビット1-4および00を発生する事が判る。ビット1-4と0が全て2進数零であるため、信号RCL000とWR000は相対的に2進数1である。従つて、ゲート500-61は信号RR100を2進数1に強制して出力し、指令の存在を表示する。この信号は、ゲート500-62と500-460に対する入力として与えられる。

バイパス・ビット0の状態の補数を表示するゲート500-62に与えられるNOLOAD000信号が2進数1である事が判る。信号LMB/DE000は過電、過電メモリー・エラー又は登録済エラーがない時2進数1である。要求されている情報がカッシー 500-20にないものと仮定するため、信号HIT000とHITREG100はそれぞれ2進数1と2進数零に対応する(即ち、ビット検出し)。補助記憶装置のタイミング信号BSTA000は、ゲート500-68をして信号RDLD100を2進数1に強制させるタイミング・パルスTBの間、2進数零である。従つて、ゲート500-62は

T7の発生に先立つて回路500-44の出力端で適正な形態で生じる。クロック回路500-48からの補助タイミング信号BSBT101の発生と同時に、信号RDLOAD100はゲート500-260をして書き込み登録済信号WRDIR000を2進数零に強制させる。これは、更に、登録済クリア信号DRCLR000が2進数1である時、使用可能登録済書き込み信号ENABDIRWR100を2進数1に強制させる。この信号は、登録済記憶装置 500-22がクリアされている時を除いて2進数1である(クリア操作に關しては米国特許第3,845,474号参照)。

第11図から判るように、登録済クロッキング信号CLKDIR100の発生と同時に、ゲート500-264は書き込み登録済信号WRDIR100を2進数1に強制する。

信号WRDIR100は、登録済書き込みゲート回路 500-266に適合なタイミング信号を各登録済レベルの補助回路に対して与えさせる。これは、登録済記憶装置 500-22の回路DTM17-25

に与えられたアドレス信号を、回路DTM26〜31を介して与えられたアドレス信号により指定される場所に書き込ませる。

図11図から、同じ時間間隔において補助記憶装置500-40から読出された最初の80ビットがカッシー500-20に書き込まれる事が判るであろう。更に、カッシーの書き込み可能回路500-214は、図11で判るように、タイミング・パルス8Tと10Tの間書き込みカッシー信号WRCACHE100により条件付けられる。即ち、信号MISS100は、「ミスト」の存在しない場合には2進数1である。補助記憶装置回路500-46からのタイミング信号BST10101はタイミング・パルス10Tの間は2進数1である。従つて、ゲート500-68は、補助記憶装置信号T8000が2進数零の時のタイミング・パルスT8、および信号LDSC\DB0000が2進数零の時のタイミング・パルスT10の間、信号RDLDT100を2進数1に強制する。

ゲート500-62は信号RDLOAD100を2進

数により指示されるコラムに書き込まれる。この時、アドレス・ビット32は2進数零である。タイミング・パルスT10の初めにアドレス・ビット32は補完され、タイミング・パルスT10の間にレジスタ500-42に与えられる上位の80ビットはスイッチ500-8を介して与えられてカッシー500-20に書き込まれる。アドレス・ビット32の次は、データ・ブロックに対応する全160ビットをカッシー500-20に書き込ませるために、回路500-216乃至500-222により条件される。

これは、補助記憶装置の制御回路500-46からの下位の80ビット信号LWR80100の補完動作により行われる。更に、信号LWR80100が2進数1（下位80ビットを書き込み）である時、ゲート500-218は信号RDLDIV80000を2進数1に強制する。ゲート500-222は、アドレス信号CAADDR32100をしてZACレジスタ500-120に記憶された状態アドレス信号をとらせる。即ち、アドレス・ビット32が2進

特開 昭53-84632,320

数1に強制し、これが更にゲート500-74をして信号RDLOAD000を2進数零に強制させる。従つて、ゲート500-210は、時間間隔8Tと10Tの間書き込みカッシー信号WRCACHE100を2進数1に強制する。このように、図11から判るように、カッシー・タイミング信号CLK141の発生と同時に、書き込みカッシー信号WRCACHE100を2進数1に強制するように作用する。これが読出し指令であるから、信号WRLOAD000が無視できる（即ち、2進数1）事が判るであろう。

書き込み登録信号WRDIR100と同時に、書き込みカッシー信号WRCACHE100はカッシー書き込み可能回路500-214を条件付けて、各カッシー・セクションに与えられるタイミング信号を生じる。

タイミング・パルスT8の間、信号RD00〜RD71およびPDP0〜P7に対応する最初の80ビットは、入力スイッチ500-8を介して与えられて回路DTM26〜31に与えられるアドレス信

号1の時、信号CAADDR32100は2進数1である。然し、信号LWR80100が2進数零（上位80ビットを書き込み）に強制される時、信号RDLDIV80000は2進数零に強制される。この時、アドレス信号CAADDR32100は2進数零に強制される。

データは出力スイッチ500-10に対して入力として与えられる。出力スイッチ500-10は、信号HITREG000とBSRD100に依存してゲート500-468により2進数1に強制される使用可能信号ENABBSDATA100により使用可能の状態にされる。更に、回路500-6は、160ビットのどのワードがプロセッサ200に対して転送されるか決定するためのスイッチ500-100に対して適当な選択信号を与える。選択信号は、ZACレジスタ500-120に記憶されるアドレス信号32と33を導出する事により導かれる。データは、図11区に示されるようにタイミング・パルスT10の間DFM回路に与えられる。

メモリ・モジュール500は回路RDTR

を2進数1に強制するよう作用して、2進数1に強制されたARDAにより信号されるデータ線路の両端に於いてプロセッサ200がデータを受入れた時、ZAC信号により前に要求されたデータが使用可能な事をSIU100に対して信号し、SIU100はRDAA信号を2進数1に強制する。この状態は、データが受け入れられた事およびこのデータをDFM回路から取出せる事を受取メモリ・モジュール500に対して信号する。

第11図から、要求された補助記憶装置のデータがプロセッサ200に搬送される時、要求されたデータにより読み出されるデータのブロックも又、バイパス・ビット9が2進数零にセットされた時はカッシーニ500-20に書き込まれつつある事が判るであろう。

第11図から判るように、全160ビットは、次のメモリの動作サイクルの開始に先立つてカッシーニ500-20に書き込まれる。

プロセッサ200により要求される情報がカッシーニ500-20に存在する登録表比較（即ちビッ

ト1）のとき、信号HT000は2進数零となるであろう事が判るであろう。この信号は、回路500-46が補助記憶装置の要求信号BSREQ100を2進数1に切換える事を禁止するよう作用する。同時に、信号HITREQ100は、信号MISS100を2進数零に強制する2進数1である。

従つて、信号RDLOAD100は2進数零の状態を維持する。これは、タイミング・パルスT8の間、登録表読み可能信号ENABDIRWR100およびカッシーニ書き込み信号WRCACHE100が2進数1に強制せられるようにする。3つのセンサ当分の適当なカッシーニが回路500-6により条件付けられる時、カッシーニ500-20から読み出されるデータ・ワードはスイッチ500-10およびDFM回路を介してSIU100に与えられる。前述の方法により、データ・ワードはプロセッサ200に搬送される。

前述の動作においては、読み出しメモリ命令はバイパス・ビット9を2進数零にセットさせた。ある場合には、プロセッサ200は、要求する情報

がカッシーニ500-20に書き込まれない事を必要とする事が判るであろう。この事例は、データ制御ワードをアクセスするため、プロセッサ200が補助記憶装置500-40に記憶されたリストポイント・ワード（LPW）からの読み出しのためのメモリ命令を発生する場合である。

上記の事を理解する前に最初第6図を参照されたい。要するに、プログラム形態でLPWおよびDCWを含むテーブルおよびリストを示している。簡単に言えば、この情報は周辺装置命令の発行に必要とされるものである。命令DCWを発生した周辺装置命令はIDCWテーブルに記憶される。このテーブルは、受取メモリ500における情報に基づいて選択されるDCWのリストを記憶する制御テーブル（DCW）に関連する。各IDCWは、操作タイプ（読、写し、書き込み、シフト等）を指定するビットの位置コードと、特定のデータを指定するビットの位置コードを含んでゐる。各DCWは2つのワード（即ちその第1は制御情報を含みその第2のものはワード・アドレス

を含む）を有する。第10a図はこの2ワードのフォーマットを示している。LPWのフォーマットも第10a図に示されている。

同図から、各LPWと各DCWのアドレスが、前述の如くメモリ命令の生成の間カッシーニ・ビット9の状態をセットするため、プロセッサ200又はマルチプレクサ300により使用できるビット（即ち、ビット9およびビット45）を含む事が判る。

例えば、プロセッサ200-0は次に特定のDCWリスト内のエントリをアクセスするためのメモリ命令を発生するものとする。第6図から、例えば、プロセッサ200-0は最初IDCWテーブルの1つからLPWアドレスを取出さねばならない。実行されるべきメモリ命令命令は2つの指標値を含む。最初の指標値は、特定のIDCWテーブルの基座アドレスを記憶する汎用レジスタを指定するよう指示化される。第2の指標値は、IDCWテーブル内の特定のLPWを発生するためのエントリ番号である汎用レジスタを指定するよ

STK V. EMC
STK 02733

5001-20に書込まれるべきかという指令事項に基づいてプロセッサ200-0を制御させる事が出来る。更に、又本回路の構成は、どの情報もカッパニ5001-20に書込まれるべきかという指令事項に基づいてマルチプレクサ300を制御させる。即ち、データ転送込み操作の実行中、マルチプレクサ300は前述の如くSIU100に対して与えるZAC指令を生成する事を要求される。

例えば、オペレーティング・システムがマルチプレクサ300のチャネルの1つ(例、CA0)を任意の順序に順序を要求する事を要求し、その順序に従ってある操作を行うものと仮定しよう。

チャネル操作を開始するため、プロセッサ200はチャネル(即ち、CA0)のLPWレジスタのローディングを指示するPI指令を主たる命令を実行する。第4図に於いては、指令ワードはPCレジスタ301-2にロードされ、PDレジスタ301-5のデータ・ワード内容をスイッチ301-6と301-42のPD位置およびCWスイ

チ301-44のHSW位置を介して、PCレジスタ301-2に於いて記憶された情報に基いて選択されるチャネルのLPWレジスタに転送する情報を生成するようブロック301-4の論理回路を動作させる。

この時LPWレジスタはDCWのリストを指示するアドレスを含んでいる。このチャネルのLPWレジスタのローディングに於いて、プロセッサ200は別の命令を実行し、この命令はPDレジスタ301-5に記憶されたデータ・ワードが無理なようにしている事を表示するコード型操作を指示するPI指令を生成する。

PCレジスタ301-2に記憶された指令ワードはブロック301-4の論理回路を動作させて、PCレジスタ301-2からスイッチ301-6のPDスイッチのPC位置およびWDスイッチ301-2-4のDTA位置を介して1グループのチャネル制御フリップフロップ(図示せず)に情報を転送する情報を生成する。これ等のフリップフロップ(AUTOフリップフロップ)の1つは、セ

ットされるとチャネルに対してデータの転送開始を指示する。

このAUTOフリップフロップは、このチャネルの2つの要求線の間の一方に対するサービス要求信号と共に、優先順位選択規則回路301-48に於ける4つの入力の一つとして第1のリスト信号を与えさせる。回路301-48は、このチャネルに対する4つの入力をしてどのレジスタが選択されるべきかを決定させる。これ等の要求サービスの最優先順位を有するチャネルを選択する。この優先順位回路301-48は、回路301-4に与えられる2ビットのコード(CA0=00)に於いてサービス要求を符号化する。要求の終止を指示するプロセスにはこの一切の操作がない(即ち、データはメモリー・モジュール5000から転送されない)ものとすれば、回路301-4は回路301-48にPI信号を与える。回路301-48は2進数1の信号をチャネルCA0のサービスANS信号に与えるよう作用する。この信号は、データ転送のためのチャネル

CA0を用意させる。

回路301-48を介してチャネルCA0から転送されるリスト信号は、回路301-4を介してCSスイッチ301-50のLPW位置を選択させる。2ビットのチャネル・コードに於ける信号とリスト信号は、レジスタ301-65の最初の3つのビット位置にロードされる。レジスタ301-65の2つの上位ビット位置はデータを要求するチャネルを識別する。第4図からわかるように、レジスタ301-65の内容はMITS回路に与えられる。301-48からのチャネル選択回路からの信号は、チャネルCA0に対するLPWレジスタの選択を指示する。

LPWレジスタに於けるアドレスは、回路301-48により与えられる信号に基いて選択されたDTスイッチ301-20のCSWスイッチを介して回路301-4からの信号に基いて選択されたバンク301-64のZACレジスタにロードされる。更に、回路301-48は、ZACレジスタの最初のバイト位置にロードされるZACスイ

スイッチ 301-61 のゾーン/指令スイッチ信号を介して信号を伝える。この結果、第 9 図に示すような ZAC 指令ワードの書式化が与えられる。4 つのチャンネル入力のあるもの（例えば、音源又は受信モード、増幅又は音源指令、単音源又は 2 音源等およびリスト）から与えられた信号は、ZAC 指令ワードの指令部分の形式を決定する。マルチプレクサ 300 は ZAC 指令のみを生じるため、ZAC レジスタのビットは常に 0 である。又、これはリスト・サービスであるため、指令部分の各ビットは増幅し 2 音源指令を決定するように符号化される。カウンス 500-20 に記憶される LPW アドレスを用いて、読取メモリー・モジュール 500 から DCW 情報を取出させる事は必要でないため、LPW アドレスのビット 9 は通常 2 進数 1 にセットされる。このように、ZAC レジスタに記憶される ZAC 指令のカウンス・バイパス・ビット 9 は 2 進数 1 にセットされる。

ZAC レジスタのローディングの時、LPW アドレスは、2 だけ（2 ワード即ち 8 バイト）増分され、

新しいパリティが生産され、かつその結果が CW スイッチ 301-44 の更新位置を介してチャンネル LPW レジスタに渡される。同様に、301-57 と 301-54 の間に与えられる。更に、LPW レジスタ内に含まれる増幅情報は、増幅スイッチ 301-59 の CSW 位置を介して増幅レジスタ 301-60 にロードされる。ZAC レジスタのローディングは AOPR フリップフロップ 301-69 を 2 進数 1 に切換えさせる。

マルチプレクサ 300 は、第 3 図の SIU 回路網 102-20 が 2 進数 1 に強制される時、ARA により AOPR 回路網によつて信号された要求を受入れるのを待機する。SIU 100 はマルチプレクサ 300 からの要求を受入れた時、ZAC 回路を 2 進数 1 に強制して、これがモジュール 500 をデータ増幅し、増幅増倍サイクルを開始するように指示する。第 11 図に示したように、ZAC 回路のセッティングと同様に、リクエスト識別信号と、ZAC 指令信号とマルチプレクサ 300 から生じる 2 音源信号は、回路網 102-20 からの信号に依

るしてそれぞれインターフェース 603 の PITM 回路と、DTM 回路と、SLTM 回路に与えられる。

読取メモリー・モジュール 500 は、データ増幅しと共に増幅増倍として SIU 100 に戻すリクエスト識別信号を保持する。読取メモリー・モジュール 500 は、ZIR 回路を 2 進数 1 に切換える事により定着する。この状態は、SIU 100 をしてリクエスト回路を停止させる。読取メモリー・モジュール 500 は、インターフェース 603 のそれぞれ RIFM 回路および DPFM 回路上にマルチプレクサ 300 から生じるリクエスト識別および 2 音源信号をかく事に加えて、ROTR 回路を 2 進数 1 に強制する事により SIU 100 に対するデータの転送を開始する。

SIU 100 は、第 11 図に示すように、RDAA 回路を 2 進数 1 に強制する事により ROTR 回路の増幅を開始する。これは、読取メモリー・モジュール 500 に対して、リクエスト・モジュール 300 に対する増幅が開始しかつデータ転送と共に実行する事を信号する。RDAA 回路に対する信

号も又、RDAA 回路上の信号の受取りに依つてクロックパルスの増幅増倍におけるインターフェース 603 上に第 2 のデータ・ワードを記憶モジュール 500 にかかせる。増幅完了の時点でこのモジュール 500 は別の指令を受取る用意ができると直ちに、ZIR 回路を 2 進数 1 に切換える。

RDAA 回路の強制の時点で、SIU 100 は、要求側のマルチプレクサ・モジュール 300 に対して、データ・ワードが ARDA 回路を 2 進数 1 に強制する事によりその DFS 回路に与えられている事を通知する。SIU 100 は又 MIFS に対してリクエスト識別信号を伝えて、その結果レジスタ 301-68 における信号の記憶を生じる。回路 301-48 に与えられたレジスタ 301-48 の識別内容は信号され、CAO 選択回路を介してチャンネル CAO を使用可能とするのに加えて、増幅増倍チャンネル・レジスタの選択を要する。最初のデータ・ワードは、ドライバ回路 301-6 を介して H レジスタ 301-60 にロードされる。その内容はこれからスイッチ 301-42 の

Hレジスタの値およびCWスイッチ301-44のHレジスタの値を介してチャネルCA0のDTレジスタにロードされる。最初のワードに続いてクロック・パルスに与えられる第2のデータ・ワードはレジスタ301-42にロードされ、その後チャネルCA0のDAレジスタ301-40に転送される。

前述の如く、回路301-48からの信号は、選択されるチャネル・レジスタ（即ち、CA0）の判を循環する。又、マルチプレクサ300がチャネルCA0のリスト要求に回答する時、回路301-48は、リスト・フリップフロップ（図示せず）を2進数零にCA0チャネルの識別符をリセットさせる信号を生成する。同時に、回路301-47は、更に判の判別フリップフロップと与えられるア示したチャネル「使用」フリップフロップを2進数1の状態に強制する。これは、更に、コントローラ・アダプタ303のCA1のチャネル使用回線に2進数1の信号を与え、このアダプタに対しこのチャネルが転送のための

の準備ができている事を信号する。

前述の如く、DTおよびDAレジスタにロードされるDCWの2つのデータ・ワードのフォーマットは第10a図に示される如くである。プロセッサ200はマルチプレクサ300の転送に続いてマルチプレクサにより要求されるデータ・アクセスを要求するため、オペレーティング・システムはDCWのDAワードのビット45を2進数零にセットさせるよう作用する。この状態は、マルチプレクサ300にカシエのバイパス・ビント9を2進数零にセットさせるZACメモリー・指令を生成させる。

この操作中、回路301-4は、パン7301-64のZACレジスタおよび補助レジスタ301-60の最後の3位をロードするための信号ソースとして、Cスイッチ301-50のDA位を選択させる。従つて、ZACレジスタのビット位置9は2進数零にセットされる。このローディング作用は、ZACスイッチ301-61と、DTスイッチ301-20と補助スイッチ301-59の

ゾーン／指令スイッチ位を介して進行する。又、レジスタ301-65の最初の2つのビット位置はリクエストとしてチャネルCA0を選択する場合でロードされる。

この時、AOPR回線は2進数1に強制される。同じ時間間隔において、チャネル選択に続く第2のクロック・パルスの間、アドレス（DA）はアドレス終端301-52により2だけ増分されて、CWスイッチ301-44の更新位置を介してDAレジスタに転送される。次に、Cスイッチ301-50のDTレジスタ位置が選択され、データ・レジスタは2だけ増分されるアドレス終端301-52に与えられ、スイッチ301-44を介してDTレジスタに転送される。

前述の場合に類似する信号・シーケンスが、第7c図のフォーマットを有するZAC指令（即ち、AOPR回線はZACレジスタがロードされる時2進数1に強制される）のSUI100による転送のための実施される。

ZAC指令に回答する局側メモリー・モジュール

500は、補助記憶装置500-40から要求されるデータ・ワードを送出すと同時に、情報ブロックを前述の方法によりカシエ500-20に記憶するように作用する。このため、情報はプロセッサ200にとって容易に使用可能となる。

前述の如く、いかにして異なる指令モジュールが補助記憶装置500-40から送出されるのかの情報がこれに関連して迅速なアクセスを可能にするためのカシエ500-20にロードされるべきかに関する指令基準に依りて判別が可能となるかが判る。各指令にその状態がカシエ500-20がロードされるかどうかを規定する別個の単位のビントを与える事により、指令の復号およびこのようなビントの変更を含む他の操作の實行を容易にする。

本発明の望ましい実施例については多くの変更が可能であり、例えば、指令が形式化され符号化される方法、およびある範囲およびタイミング信号が生成される方法についての多くの変更が可能である事は明らかであろう。単純化するため、多

この場合に本種の情報の一つのソースのみを示した。然し、同じ情報がタイミグ上の制約を少なくするその他のソースにより独立して生成される事は明らかであろう。

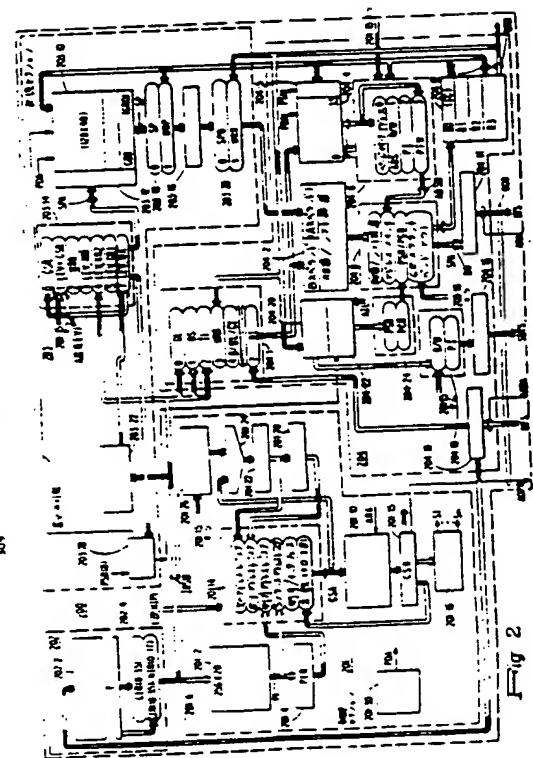
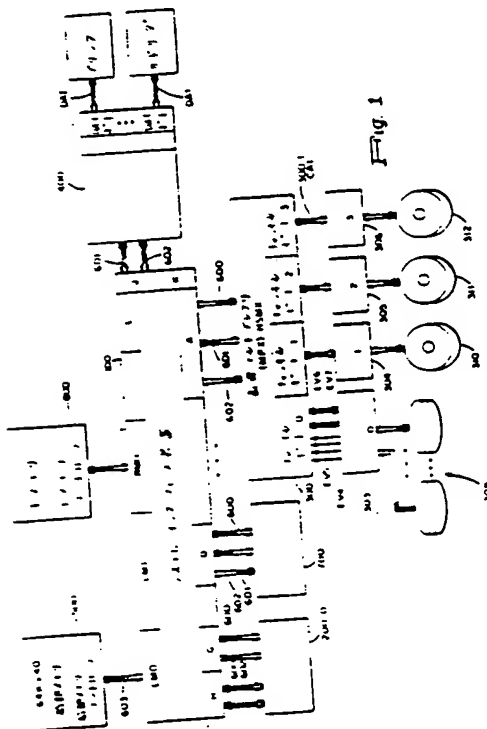
生成の指示に応じて本装置の最も優れた形態について本文に明示し記述したが、本文の強要に於ては必ずしも本装置の形態に示すべく本装置の三番から忠告する事なく本文に記述したシステムについての変更が明瞭であり、ある場合には本装置の他の形態のみが他の場合に於ては明瞭に示す事も可能である。

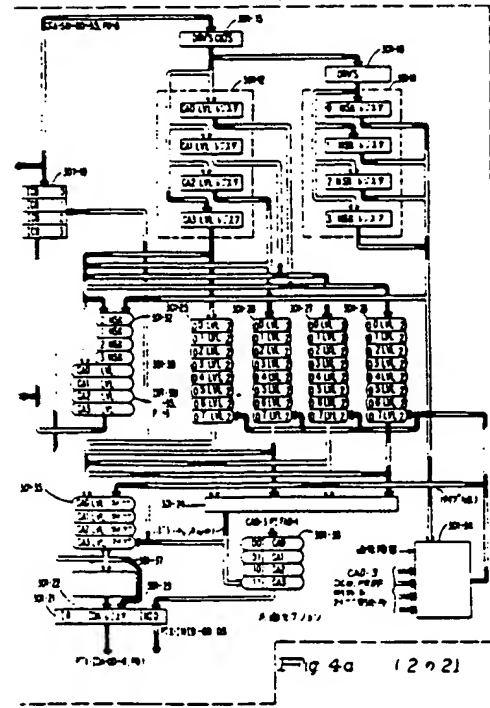
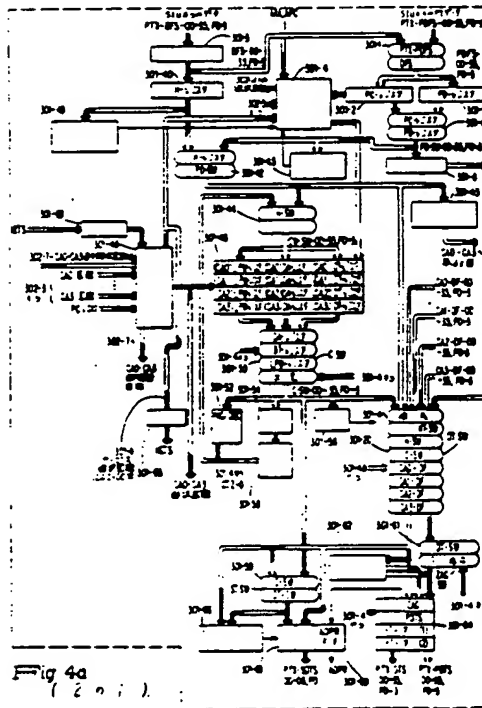
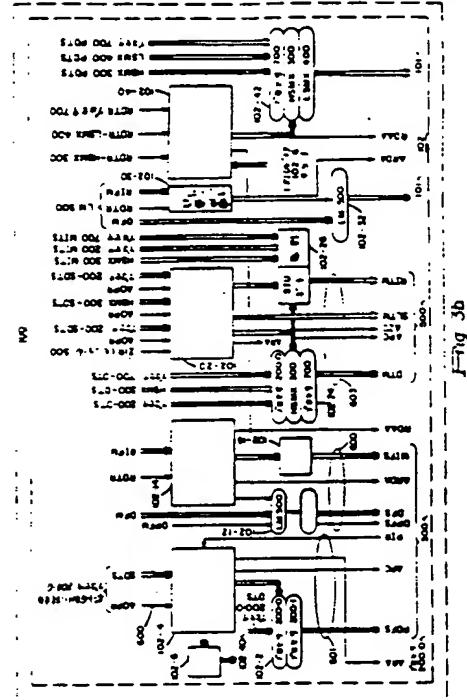
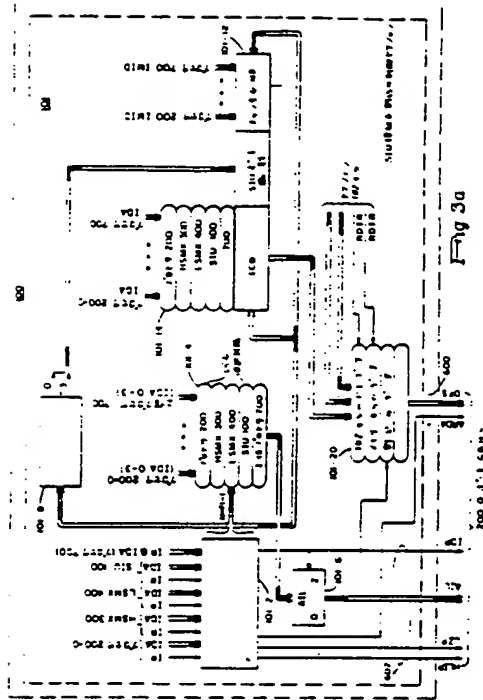
4. (本装置の構成)

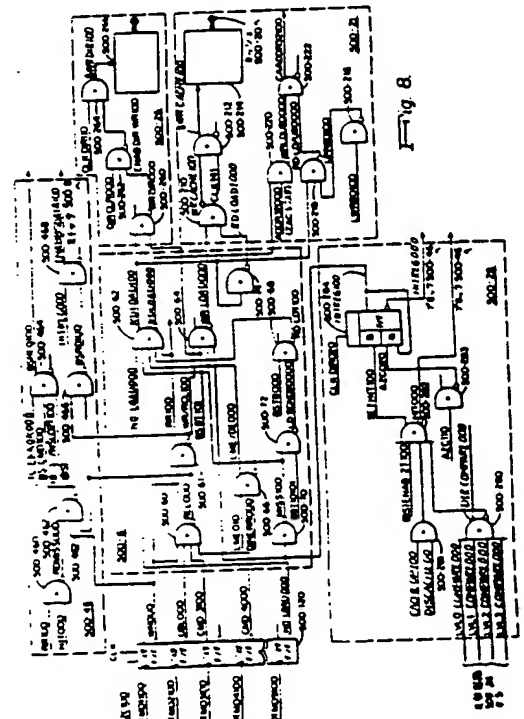
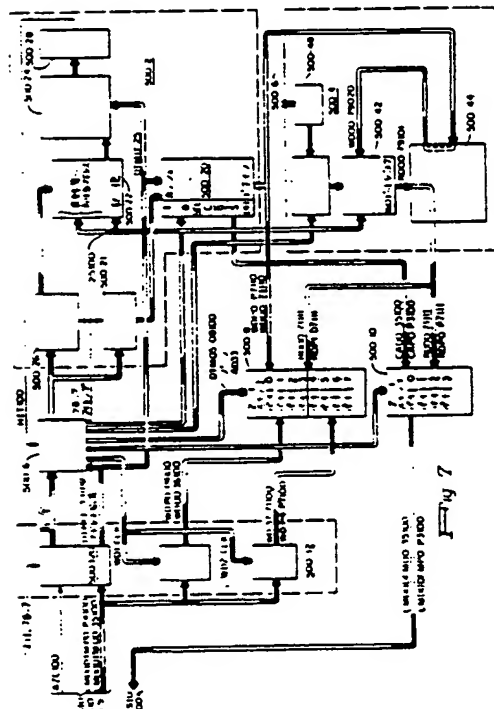
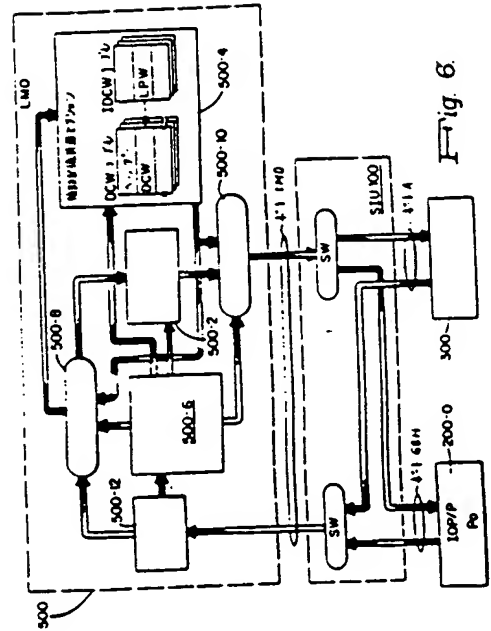
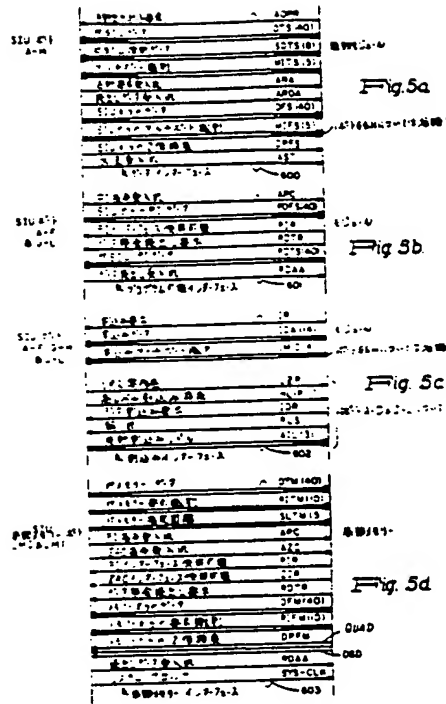
第1図は本装置の構成を説明した入出力システムブロック図、第2図は第1図の入出力処理装置を更に詳細に示す図、第3図及び第4図は第1図のシステム・インターフェース装置を更に示す図、第5図及び第6図は第1図のマルチプレクサ装置を更に示す図、第7図及び第8図は第1図のインターフェースを示す図、第9図は第1図のメモリ・モジュール

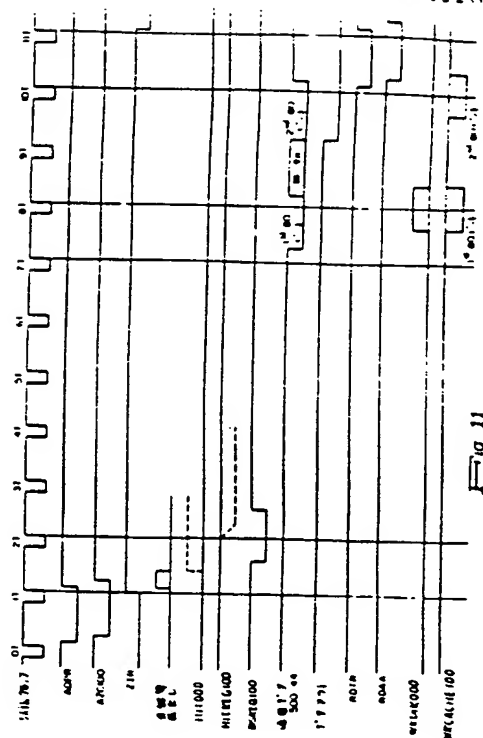
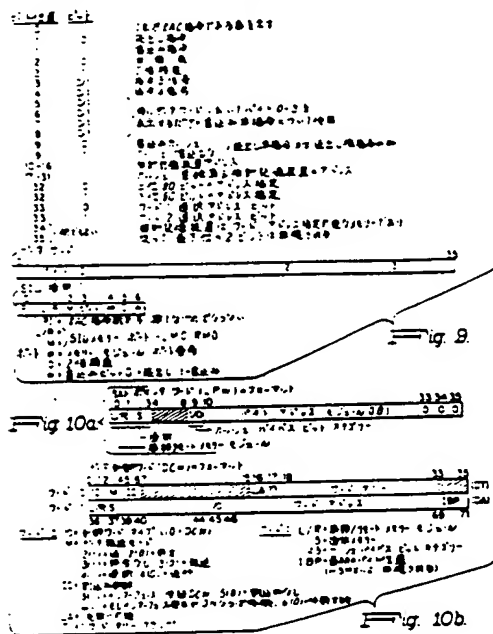
のブロック図、第10図は第5図のメモリ・モジュールを更に示す図、第11図は第7図のメモリ・モジュールを更に示す図、第12図は本装置によるZACメモリ命令のフォーマットを示す図、第13図及び第14図は本装置によるリスト・ポインター・ワード及びデータワードのフォーマットを示す図、第15図は本装置の作用を説明するためのタイミグ・チャートである。

100…システム・インターフェース装置(SIU)、102…データ転送セクション、200…入出力プロセッサ、201…制御セクション、202…命令バッファ・セクション、203…記憶セクション、204…処理セクション、300…高速マルチプレクサ(HSMX)、400…低速マルチプレクサ(LSMX)、600…インターフェース、700…上位プロセッサ、800…メモリ・モジュール。









①日本国特許庁

②特許出願公開

公開特許公報

昭52-106641

③Int. Cl.
G 11 B 5 09

識別記号

④日本分類
97(7) C 2
102 E 33

庁内整理番号
7056-56
7345-55

⑤公開 昭和52年(1977)9月7日

発明の数 1
審査請求 未請求

(全 7 頁)

⑥高速順次アクセス用データ・レコード格納方法

⑦発明者 高井兵衛

日立市大みか町5丁目2番1号
株式会社日立製作所大みか工場
内

⑧特 願 昭51-23207

⑨出 願 昭51(1976)3月5日

⑩出 願 人 株式会社日立製作所

⑪発明者 加藤勝康

日立市大みか町5丁目2番1号
株式会社日立製作所大みか工場
内

東京都千代田区丸の内一丁目5
番1号

⑫代 理 人 弁理士 高橋明夫

明 細 書

発明の名称 高速順次アクセス用データ・レ
コード格納方法

特許請求の範囲

1. ランダム・アクセス可能な記録ブロックを有する記録媒体に順序関係のあるデータ・レコードを格納する方法において、各ブロックを複数の区画に分割し各ブロック内に所定数の空き区画を設けようとして各区画毎に1つのデータ・レコードを格納し、格納されたデータ・レコードをそれ自身の内部に設けられた連絡子により順序関係に従って連絡し該連絡の元端レコード位置及び末端レコード位置を夫々記憶手段に保持し、前記記憶媒体中の未使用領域の末端位置を記憶手段に保持し、該未使用領域中の空き区画をデータ・レコード内部に設けられた連絡子により連絡し該連絡の元端位置を記憶手段に保持し、前記記憶媒体中に新規に与えられるべきデータ・レコードを格納すべき空き区画を前記未使用領域の元端位置、順序関係で直前のデータ・レコード

と同一ブロック内の空き区画、又は前記空き区画連続元端位置から選択することを特徴とする高速順次アクセス用データ・レコード格納方法。

2. 最初のデータ・レコードと受に格納されているデータ・レコードの中で順序関係に関して末尾のレコードの後に追加されるべきデータ・レコードに対しては、前記未使用領域元端位置の空き区画を選択することを特徴とする特許請求の範囲第1項記載のデータ・レコード格納方法。

3. 既に格納されている第1データ・レコードとそれに後続する第2データ・レコードの間に新規に挿入されるべきデータ・レコードに対しては、前記第1データ・レコードと同じブロック内に空き区画があれば該空き区画を選択しなければ前記空き区画連続元端位置の空き区画を選択することを特徴とする特許請求の範囲第1項又は第2項記載のデータ・レコード格納方法。

4. 位置のブロック内のデータ・レコード格納法が予じの決められた値を有した時当該ブロック

の残りの区画に空き区画を作成することを考慮とする特許請求の範囲第1項、第2項又は第3項記載のデータ・レコード格納方式。

発明の詳細な説明

本発明は、コンピュータによるデータ処理技術に係り、比較的低速であり、ランダム・アクセスが可能な記憶媒体上に、順序関係のあるデータ・レコードを効率的に格納するデータ・レコード格納方式に関する。

従来、順序関係のあるデータを格納する方式として、最もよく知られたものは、順序関係に従って、記憶媒体上に配置するものであり、ランダム・アクセス可能な記憶媒体だけでなく、シリアル・アクセスのみ可能な記憶媒体においても実現することができる。この方式によれば、格納されたデータ・レコードを極めて高速に順次アクセスすることが可能であるが、一旦格納されたデータ・レコードの間、新たにデータ・レコードを挿入したい場合、これは、予め用意された別の領域へ格納され、連鎖子によって連結されるため、挿入、

削除がひんばんにくり返されると、順次アクセスの性能が極めて劣化することが知られている。

また、ランダム・アクセスが不可能な記憶媒体においては、データ・レコードの挿入、削除、変更は不可能である。

従つて、この方式は一旦、データ・レコードを格納した後にデータ・レコードの挿入が全くないか、あるいは極めて少ない場合にのみ適しているといえる。一方、順序関係があるばかりでなく、挿入、削除がしばしば発生する場合には、有効な格納方式としては、データ・レコードをランダムに選ばれた任意の空きレコードへ格納し、データ・レコード自身の中で作成された連鎖子により、データ・レコード間の順序関係を表わす。いわゆるリスト方式がある。この場合、連鎖子は、一般に当該レコードの直前、直後のレコードの位置を記憶している。

この方式によれば、挿入されるデータ・レコードも、特別な手続きによらずに格納することができるが、後述するように、挿入、削除がくり返さ

れるに従い、順序関係において適合するレコードが記憶媒体の領域上では、稀薄しあわなくなるため、順次アクセスに関して、必要以上に入出力回数（ドラム・ディスク等の）回転待ち時間、ヘッドの移動待ち時間が発生することになる。

また、データ・レコードを格納しうる空きレコードの位置を容易に検索するために、領域内の空きレコードも、データ・レコードと同じように連鎖子によりリスト化しておくことが適宜行なわれるが、この方式では、データ・レコードの格納に先立ち、すべての空きレコードをリスト化するという無駄な作業が発生する。

本発明の目的は、かかる従来技術の欠点を排除し、順序関係があり、かつ挿入、削除等の多いデータ・レコードを格納するための改良された方法を提案することである。

本発明は、以下のような記憶媒体の物理的構造を利用した、データ・レコード格納方式により、高速な順次アクセスを可能にしようとするものである。

まず第1図、第1図に示されるように、ここで想定している比較的低速な記憶媒体1においては、その領域は、複数のブロック2よりなり、転送はブロック単位に入出力緩衝域4を経由して行なわれる。前記ブロック2はさらに、複数の区画3に分割され、各区画3に1つのレコードが対応づけられる。各区画3は順方向連鎖子5、逆方向連鎖子6、及びデータ部7を有する。また、あるブロック2がバッファ上に読み出されている時は、入出力を待たないうで、直前バッファ上のデータを参照することができる。

従つて、順序関係において適り合うレコードが同一ブロックにある確率が高ければ、順次アクセスの際の入出力回数は削減されることになる。

次に、第2図に示されるように、磁気ディスクのような、複数のシリンダ32及びトラック33からなり各トラックには複数のレコード35を夫々有する複数のブロック34が設けられている記憶媒体31においては、ヘッドを特定のシリンダに位置づけるための、ヘッドの移動待ち時間（シ

ーク時間)と、ヘッドを特定のトラックへ位置づけるための回転待ち時間を重複する必要がある。

そこで、これらの物理的苛性にかんがみ、本発明においては、

(1) その、領域内に、適当な空きレコードを分散させて確保しておくことにより、挿入レコードを、できるだけ前後のレコードの近くに配置させ、連続アクセス時の入出力回数及びシーク時間を減少させること。

(2) 挿入レコードをその前又は後のレコードと同じブロックに格納できない場合は、記憶装置の回転角度を考慮した位置へ格納することにより、回転待ち時間を減少させることを考慮した。

以下第3～第8図により実施例にそつて本発明の原理を説明する。

第3図は、初期に各データ・レコード41を順次よく格納した状態であり、各データ・レコード41は、データ・レコード連鎖子43により結合されており、かつ、その先頭位置(FRP)及び末尾位置(LRP)は、任意の記憶手段により保

持される。また未使用領域46の先頭位置(FUP)も任意の記憶手段により保持される。第4図は、データ・レコードの挿入、削除がくり返されるためとの状態であり、途中にできた空き区画47は、互いに、空き区画連鎖子45により結合され、さらにその先頭位置(FAP)は、任意の記憶手段により保持される。

第4図は、最適化を行なわなかつた場合の例であり、連鎖子ブロック42間に多量の空き区画がため、全レコードをアクセスするためには7回のブロック入出力が必要となる。

そこで本発明にない、第5図のごとく、その、一定比率で各ブロック42毎に空きレコード47を確保しておき、追加レコードは、未使用領域46の先頭位置FUPへ、挿入レコードは前レコードと同一ブロックへできるだけ入るようにすることにより、挿入、追加、削除がくりかえされても、前後のレコード41が同一ブロック42にある確率を高くすることができる。この場合、同一ブロック内に空き区画47がなければ、先頭空き

レコードFAPへ格納すればよい。第6図はこのような最適化を行なつた場合のデータ・レコードの格納状況の他の例を示す。データ・レコードの追加、挿入、削除におけるFAP、FUP、FRP、LRP、レコード連鎖子の変更方法は、第7図により明らかであろう。第7図では、真中の段に示す格納状態より出発して、上段の例の如くデータ・レコードpとqの間にデータ・レコードrを挿入すると共にデータ・レコードjを削除する場合、並びに下段の例のようにデータ・レコードgとjの間にhを挿入し且つsの後へiを追加する場合を例示している。

次に磁気ディスク、磁気ドラムの如き、回転型記憶媒体においては、第8図に示したように、前記の各ブロック42内の空き区画47の他に、指定された比率 m/n により、 m ブロック毎に全部空き区画47よりなるブロック48を n 個確保することが効果的である。この場合、レコードの挿入に際しては、挿入前後のレコードと同一ブロック内の空き区画47をまず探し、これが得られな

い場合、当該ブロック42をアクセスしてから、次に別のブロック42をアクセスするまでに必要な直昇時間に記憶媒体が回転する角度に相当するブロック数以上はなれた空き区画ブロック48から、空き区画47を選択することにより、挿入レコードが前後のレコードと同じシリンダーに格納される確率が高くなるだけでなく、回転待ち時間が一回転時間だけ短縮できる。

次に第9図により、本発明の一実施例における構成について説明する。

先づデータ・レコード格納ステップ12は記憶媒体10の各ブロック内の各区画毎に1つのデータ・レコードを所定数の空き区画を渡した状態で、パリアフ11を介して格納する。データ・レコード連続格納ステップ16は格納されたデータ・レコードをそれぞれ自身の内部に設けられた連鎖子により直昇関係に従つて連鎖し、該連鎖の先頭レコード位置、(FRP)及び末尾レコード位置(LRP)を夫々記憶手段18、19に保持する。未使用領域先頭位置維持ステップ17は記憶媒体

10中の未使用領域の先頭位置(FUP)を記憶手段21に保持する。又、空き区画連続維持ステップ15は使用領域中の空き区画をデータ・レコード内部に設けられた連続子より連続し該連続の先頭位置(FAP)を記憶手段20に保持する。空き区画選択ステップ13は、記憶媒体10中の前段に与えられるデータ・レコードを格納すべき空き区画を選択する。即ち最初のデータ・レコードと次に格納されているデータ・レコードの中で直前段に於いて末尾のレコードの次へ追加されるべきデータ・レコードに対しては、記憶手段21に保持されているFUP位置にある空き区画を選択し、一方、次に格納されているデータ・レコードaとそれに接続するデータ・レコードbの間に入力されるべきデータ・レコードに対しては、データ・レコードaと同じブロック内の空き区画を選択し、もし該ブロック内に空き区画がない場合にはFAP位置の空き区画を選択する。又、空き区画作成ステップ14は任意ブロック内のデータ・レコード格納基が記憶手段22に保持されて

いる予じの決められた値を加えて、該ブロックの残りの区画に空き区画を作成する。そして記憶手段23に保持されている予じの決められた値に従い該空き区画よりなるブロックを一定数のブロックかきに確保する処理を行なう。

次に第10図のフロー図を参照してデータ・レコード追加の場合の処理の流れを説明する。

先づ101でレコード格納基が未使用領域先頭位置(FUP)より小さいかが判断され、FUPの方が小さければ、103でFUP位置へレコードが追加される。そして105でロード・フアクターに達したことが判断されると107でブロック内の残りのレコードを空き区画先頭位置(FAP)からの連続に入れ、109でFUPを次ブロック先頭レコードへ移動し、119で追加レコードをレコード連続につなぎ121でデータ・レコード末尾位置(LMP)を変更する。又105でロード・フアクターに達しない場合、111でFUPに1を加え119で進む。一方101でFUPの方が小さくなければ、113で空き区画

先頭位置(FAP)の連続があるかを判断し、あれば115でFAP位置へレコードを追加し、117でFAPを更新した上で119へ進む。113でFAP連続がなければオーバフローとして処理する。

次にデータ・レコード追加の場合の処理のフローを第11図を参照して説明する。先づ201で直前のレコードのブロックに空き区画があるかを判断し、あれば203でその空き区画へレコードを挿入し、205でレコード連続を変更し、207で空き区画連続子を変更する。201で直前のレコードのブロックに空き区画がない場合は、209でFAPの連続があるかを判断し、あれば211でFAP位置へレコードを挿入し、213でレコード連続を変更し、215でFAPを変更する。又209でFAP連続がない場合は更に217でレコード格納基がFUPより小さくないかを判断し、小さくなければ、219でFUP位置へレコードを挿入し、221でレコード連続を変更し、223でFUPを変更する。

217でFUPの方が小さければオーバフローとして処理する。

図面の簡単な説明

第1図は、記憶媒体の記憶構造を示す図、第2図は、シリンダ・トラック形式の記憶媒体の記憶構造を示す図、第3図、第4図は、空きブロックの確保、空き区画選択に関し、最適化を行なわなかった場合のデータ・レコード格納状況を示す図、第5図、第6図は、本発明に従い最適化を行なった場合のデータ・レコード格納状況を示す図、第7図は、データ・レコードの追加、挿入、削除に伴う、格納状況の変化を示す図、第8図は、空き区画ブロックの確保方法を示す図、第9図は、本発明の実施例における構成を示すブロック図、第10図は、データ・レコード追加の際の処理の流れを示すフロー図、第11図は、データ・レコード挿入の際の処理の流れを示すフロー図である。

符号の説明

- 10 記憶媒体
- 11 パンファ

1 2 データ・レコード格納ステップ

第 1 図

1 3 空き区画選択ステップ

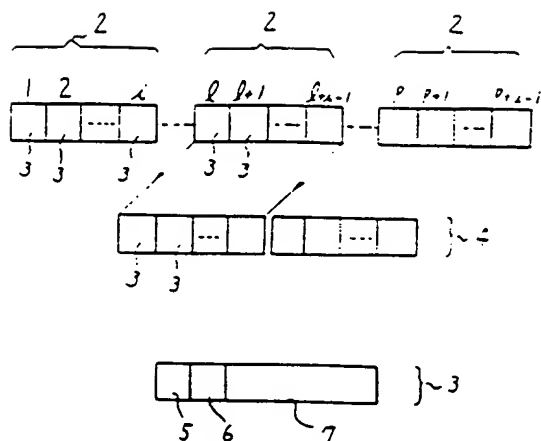
1 4 空き区画作成ステップ

1 5 空き区画連鎖維持ステップ

1 6 データ・レコード連鎖維持ステップ

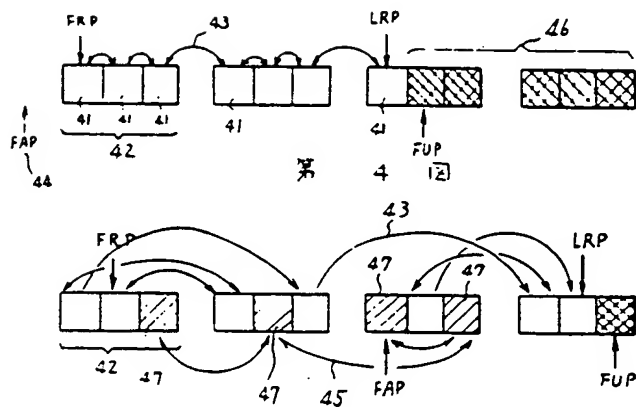
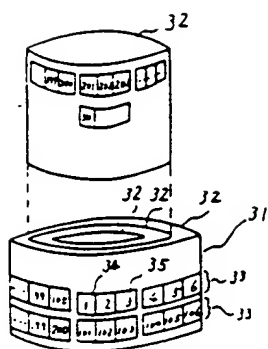
1 7 未使用領域先頭位置維持ステップ

代理人 井理士 高橋明夫

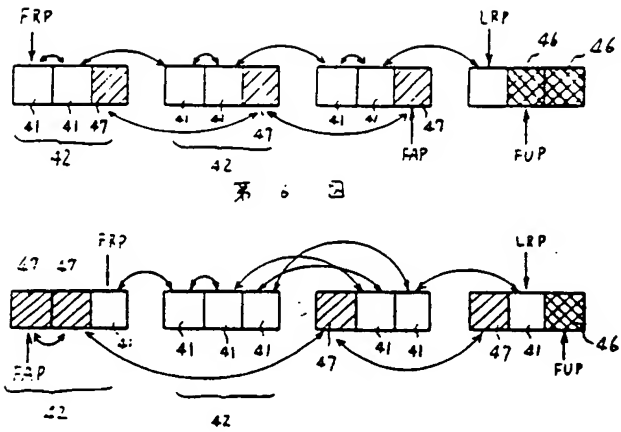


第 2 図

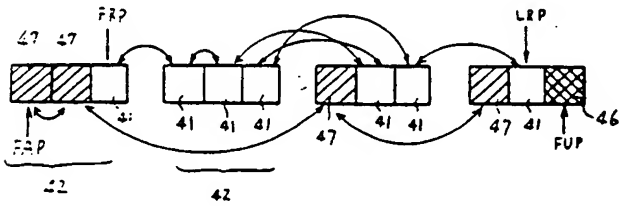
第 3 図



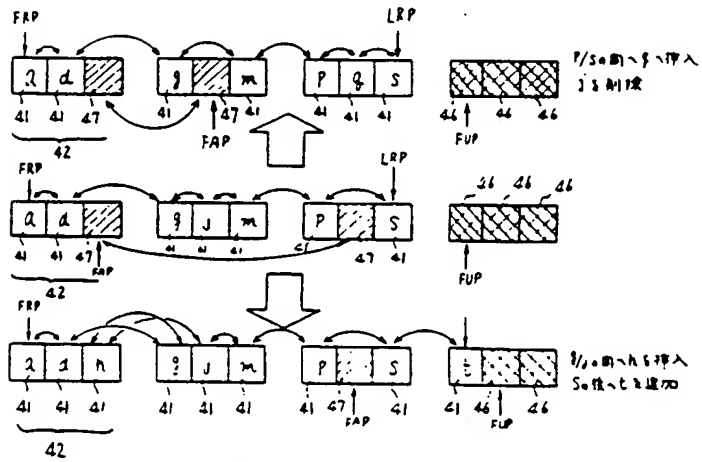
第 5 図



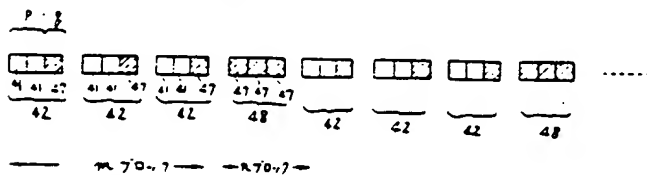
第 6 図

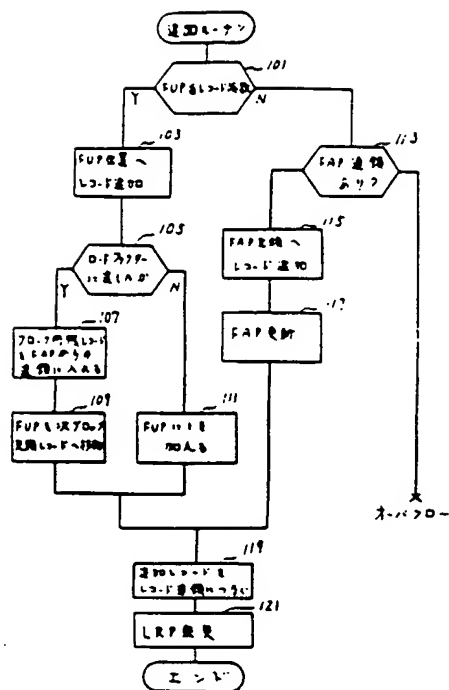
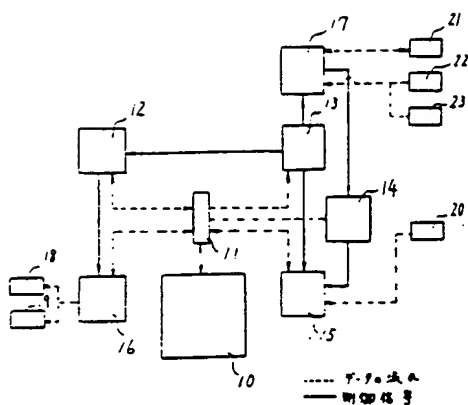


第 7 図

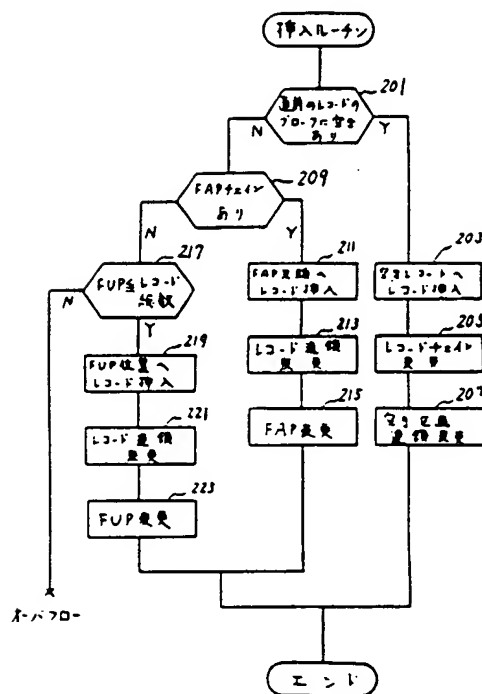


第 8 図





第 11 回



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.